

高精度、低功耗 14 位伪差分 300 kSPS SAR ADC

产品特性

- 伪差分 14 位，无失码
- 吞吐率：300 kSPS
- INL：±0.25 LSB 典型值
- DNL：±0.25 LSB 典型值
- 动态范围：85.5 dB
- 信纳比 (SINAD)：85 dB 典型值在 1 kHz
- 谐波失真 (THD)：-103 dB 典型值在 1 kHz
- 伪差分输入范围：0 V - V_{REF}
- 触发后无延迟响应
- 5 V 单电源供电
- 逻辑电平支持：1.8 V / 2.5 V / 3 V / 5 V
- 封装：MSOP-10 / DFN-10
- 静态电流：2 nA 典型值；50 nA 最大值
- 工业温度范围：-40 °C 至 +85 °C

应用

- 精密数据采集
- 自动化测试
- 精密仪器
- 医疗仪器

典型应用图

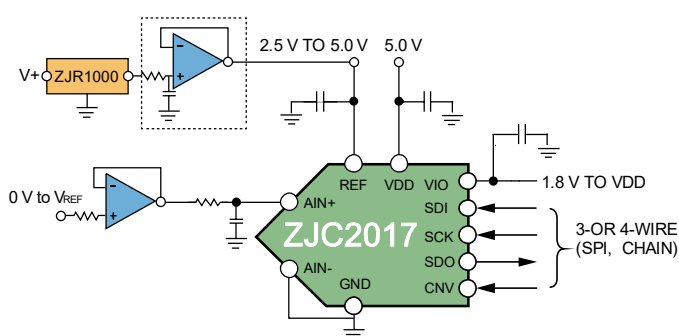


图 1. 应用案例

产品简介

ZJC2017 是一款低噪声、低功耗、14 位伪差分输入逐次逼近型模数转换器 (SAR ADC)，具备 300 kSPS 吞吐率，封装小，易使用，可降低系统的功耗和复杂性，实现高密度设计。

ZJC2017 需要 5 V 电源供电，对 $IN+$ 与 $IN-$ 之间的模拟输入电压进行采样，范围从 0 V 至 V_{REF} (V_{REF} 范围为 0.5 V 至 V_{DD})。ZJC2017 基准电压由外部提供，独立于电源电压。利用独立 VIO 引脚 ZJC2017 可与 1.8 V，2.5 V，3.3 V 和 5 V 逻辑兼容。此器件提供一个 SPI 兼容串口，也支持菊链操作以实现多个器件串行级联。

ZJC2017 分 10 引脚 MSOP 和 DFN 封装，工作温度范围为 -40 °C 至 +85 °C。它与业界经典产品管脚兼容。

典型特性

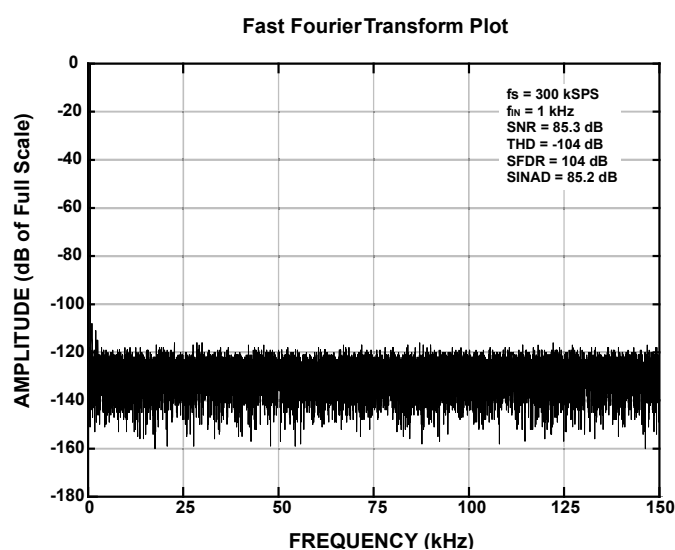


图 2. 交流特性

18 / 16 / 14 位全速 SAR ADC 系列如下：

封装类型	400 kSPS	500 kSPS	600 kSPS	封装
18-bit 真差分	ZJC2000			MSOP - 10 DFN - 10
18-bit 单极性伪差分	ZJC2004			
18-bit 双极性伪差分	ZJC2005			
16-bit 真差分		ZJC2001		
16-bit 单极性伪差分		ZJC2002		
16-bit 双极性伪差分		ZJC2003		
14-bit 单极性伪差分			ZJC2007	
14-bit 双极性伪差分			ZJC2008	

18 / 16 / 14 位中速 SAR ADC 系列如下：

封装类型	200 kSPS	250 kSPS	300 kSPS	封装
18-bit 真差分	ZJC2010			MSOP - 10 DFN - 10
18-bit 单极性伪差分	ZJC2014			
18-bit 双极性伪差分	ZJC2015			
16-bit 真差分		ZJC2011		
16-bit 单极性伪差分		ZJC2012		
16-bit 双极性伪差分		ZJC2013		
14-bit 单极性伪差分			ZJC2017	
14-bit 双极性伪差分			ZJC2018	

目录

产品特性	1	典型连接图	16
应用	1	伪差分输入转换	17
产品简介	1	基准电压输入	18
典型应用图	1	电源	18
典型特性	1	数字接口	19
版本修订记录（发布版 A）	3	片选模式（三线式无繁忙指示）	20
引脚配置与功能	5	片选模式（三线式有繁忙指示）	20
绝对最大额定值	6	片选模式（四线式无繁忙指示）	21
热阻	6	片选模式（四线式有繁忙指示）	22
技术规格	7	链模式（无繁忙指示）	23
时序指标	9	链模式（有繁忙指示）	24
典型特性	11	布局布线	25
工作原理	14	封装外形尺寸	26
电路结构	14	采购信息	27
转换器操作	14	相关器件	28
传递函数	15		

版本修订记录（发布版 A）¹

¹ 本文中由上海治精微电子有限公司提供的信息是准确和可靠的。但是，上海治精微电子有限公司对其使用不承担任何责任，也不对任何使用它可能导致侵犯第三方专利或其他权利的情况承担任何责任。规格如有更改，恕不另行通知。本文中的商标和注册商标是其各自所有者的财产。对本文中任何专利或专利权，上海治精微电子有限公司均未通过暗示或其他方式授予许可。

引脚配置与功能



图 3. 10 引脚 MSOP 管脚配置图

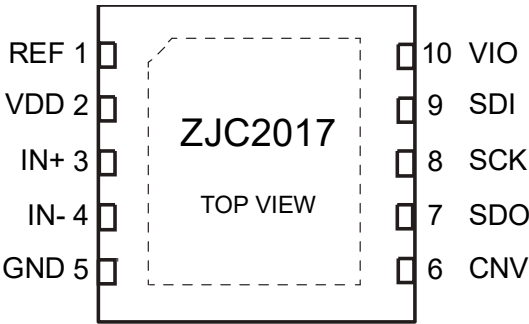


图 4. 10 引脚 DFN 管脚配置图

注释：裸露焊盘无内部连接。为更好的焊接可靠性，推荐将此焊盘接地。

引脚名称	引脚编号	引脚类别	功能描述
REF	1	电源	电压基准输入。 V_{REF} 范围为 0.5 V 至 VDD。建议此引脚必须通过与之尽量靠近的 10 μ F X7R 陶瓷电容去耦至 GND 引脚。
VDD	2	电源	电源管脚。VDD 范围为 2.7 V 至 5.5 V。建议通过至少 0.1 μ F 陶瓷电容将 VDD 旁路至 GND。
IN +	3	模拟输入	模拟输入引脚。参考模拟地检测引脚 (IN -)。IN + 与 IN - 构成伪差分输入，其工作输入范围为 0 V 至 V_{REF} 。
IN -	4	模拟输入	模拟输入地检测引脚。此引脚连接到模拟接地层或远端检测地。
GND	5	地	电源地。
CNV	6	数字输入	转换输入。此输入具有多个功能，具体见数字接口部分。
SDO	7	数字输出	串行数据输出。转换结果通过此引脚输出。它与 SCK 同步。
SCK	8	数字输入	串行数据时钟输入。器件被选择时，转换结果通过此时钟移出。
SDI	9	数字输入	串行数据输入。此输入提供多个功能以实现各种不同的串行协议。
VIO	10	电源	输入/输出接口数字电源。此引脚的标称电压与控制器接口电源相同 (1.8 V、2.5 V、3.3 V 或 5 V)。建议通过至少一个 0.1 μ F 陶瓷电容将 VIO 旁路至 GND。
EPAD			裸露焊盘。推荐焊接到地。

绝对最大额定值¹

参数	额定值
VDD、REF、VIO 至 GND	- 0.3 ~ 6 V
REF、VIO 至 VDD	- 6 ~ VDD + 0.3 V
模拟输入范围 (IN+、IN- 至 GND)	- 0.3 ~ VDD + 0.3 V
数字输入至 GND	- 0.3 ~ VIO + 0.3 V
数字输出至 GND	- 0.3 ~ VIO + 0.3 V
存储温度范围	- 65 °C 至 + 150 °C
结温范围	至 150 °C
引脚温度 (焊接, 10 秒)	300 °C
最大回流焊接温度 ²	260 °C
静电放电 (ESD)	
人体模型 (HBM) ³	1.5 kV
充电器件模型 (CDM) ⁴	1 kV

热阻

封装类型	θ_{JA}	θ_{JC}	单位
MSOP-10	150	50	°C/W
DFN-10	43	5.5	°C/W

¹ 注意, 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

² 符合 IPC / JEDEC J-STD-020 标准

³ 符合 ANSI / ESDA / JEDEC JS-001 标准

⁴ 符合 ANSI / ESDA / JEDEC JS-002 标准

技术规格

“●”表示额定全工作温度范围下的规格，除非另有说明，其他规格的适用条件为 $V_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$ ， $V_{REF} = V_{DD}$ ， $T_A = 25\text{ }^{\circ}\text{C}$ 。

参数	符号	测试条件		最小值	典型值	最大值	单位
分辨率				14			bits
输入特性							
电压范围		IN + to IN -	●	0		V_{REF}	V
绝对输入电压		IN + to GND	●	- 0.1		$V_{REF} + 0.1$	V
		IN - to GND	●	- 0.1		+ 0.1	V
共模抑制比	CMRR	$f_{IN} = 250\text{ kHz}$			57		dB
漏电流					1		nA
输入阻抗 ¹		采集阶段					
吞吐率							
转换率			●			300	kSPS
瞬态响应		满量程阶跃	●			1.9	μs
直流准确度							
无失码			●	14			bits
积分非线性误差	INL		●	- 0.75	± 0.25	+ 0.75	LSB ²
差分非线性误差	DNL		●	- 0.5	± 0.25	+ 0.5	LSB
过渡噪声		$REF = V_{DD} = 5\text{ V}$			0.3		LSB
增益误差	GE		●	- 5	± 0.5	± 5	LSB
增益误差温漂					± 0.3		ppm/ $^{\circ}\text{C}$
零输入误差	ZE		●	- 1.5	± 0.5	+ 1.5	LSB
零输入误差温漂					± 0.3		ppm/ $^{\circ}\text{C}$
电源灵敏度		$V_{DD} = 5\text{ V} \pm 5\%$			± 1		ppm
交流准确度							
动态范围	DR	$V_{REF} = 5\text{ V}$	●	84.5	85.5		dB ³
信噪比	SNR	$f_{IN} = 1\text{ kHz}$, $V_{REF} = 5\text{ V}$	●	83.7	85.1		dB
		$f_{IN} = 1\text{ kHz}$, $V_{REF} = 2.5\text{ V}$	●		81.5		dB
无杂散动态范围	SFDR	$f_{IN} = 1\text{ kHz}$, $V_{REF} = 5\text{ V}$			103		dB
总谐波失真	THD				- 103		dB

¹ 见模拟输入部分。

² LSB 表示最低有效位。5 V 输入范围时，1 LSB = 305.2 μV 。

³ 除非另有说明，所有用分贝 (dB) 表示的规格均参考满量程输入 FSR，并用低于满量程 0.5 dB 的输入信号进行测试。

参数	符号	测试条件		最小值	典型值	最大值	单位
信纳比	SINAD	$f_{IN} = 1 \text{ kHz}$, $V_{REF} = 5 \text{ V}$	●	83.5	85		dB
交调失真	IMD	$f_{IN} = 1 \text{ kHz}$, $V_{REF} = 5 \text{ V}$			- 97		dB

基准

电压范围			●	0.5		$V_{DD} + 0.3$	V
负载电流		正弦波输入			100		μA

采集动态

- 3 dB 输入带宽		$V_{DD} = 5 \text{ V}$			1.7		MHz
孔径延时		$V_{DD} = 5 \text{ V}$			3		ns

数字输入

逻辑电平	V_{IL}		●	- 0.3		$0.3 \times V_{IO}$	V
	V_{IH}		●	$0.7 \times V_{IO}$		$V_{IO} + 0.3$	V
	I_{IL}		●	- 1		+ 1	μA
	I_{IH}		●	- 1		+ 1	μA

数字输出

数据格式				串行 14 位，直接 2 进制			
流水线延迟				转换完成后即可读取码值			
	V_{OL}	$I_{OUT} = +500 \mu\text{A}$	●			0.4	V
	V_{OH}	$I_{OUT} = - 500 \mu\text{A}$	●	$V_{IO} - 0.3$			V

电源

模拟电源	V_{DD}		●	4.5		5.5	V
数字接口电源	V_{IO}	标定性能	●	2.3		$V_{DD} + 0.3$	V
V_{IO} 范围				1.8		$V_{DD} + 0.3$	V
待机电流 ^{4,5}		V_{DD} 和 $V_{IO} = 5 \text{ V}$	●		2	50	nA
电源功耗		$V_{DD} = 5\text{V}$, 100 SPS 吞吐率			4		μW
		$V_{DD} = 5\text{V}$, 100 kSPS 吞吐率	●		4	4.8	mW
		$V_{DD} = 5\text{V}$, 300 kSPS 吞吐率	●		9	10.5	mW
能量每转换					35		nJ/sample

温度范围

额定性能		T_{MIN} to T_{MAX}		- 40		+ 85	$^{\circ}\text{C}$
------	--	------------------------	--	------	--	------	--------------------

⁴ 根据需要，所有数字输入强制接 V_{IO} 或 GND。⁵ 在采集阶段。

时序指标

“●”表示额定全工作温度范围下的规格，除非另有说明，其他规格的适用条件为 $V_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$ ， $V_{IO} = 2.3\text{ V} \sim V_{DD}$ ， $V_{REF} = V_{DD}$ ， $T_A = 25\text{ }^{\circ}\text{C}$ 。

参数	符号		最小值	典型值	最大值	单位
转换时间：CNV 上升沿至数据可用	t_{CONV}	●	0.4		1.4	μs
采集时间	t_{ACQ}	●	1.933			μs
转换间隔时间	t_{CYC}	●	3.333			μs
CNV脉冲宽度（CS片选模式）	t_{CNVH}	●	10			ns
SCK 周期（CS 片选模式）	t_{SCK}	●	15			ns
SCK 周期（Chain 链模式）	t_{SCK}					
VIO 高于 4.5 V		●	17			ns
VIO 高于 3 V		●	18			ns
VIO 高于 2.3 V		●	20			ns
SCK 低电平时间	t_{SCKL}	●	7			ns
SCK 高电平时间	t_{SCKH}	●	7			ns
SCK 下降沿至数据仍然有效	t_{HSDO}	●	4			ns
SCK 下降沿至数据有效延迟时间	t_{DSO}					
VIO 高于 4.5 V		●			14	ns
VIO 高于 3 V		●			15	ns
VIO 高于 2.3 V		●			17	ns
CNV 或 SDI 低电平至 SDO D15 MSB 有效 (CS 片选模式)	t_{EN}					
VIO 高于 4.5 V		●			20	ns
VIO 高于 3 V		●			22	ns
VIO 高于 2.3 V		●			25	ns
CNV 或 SDI 高电平或最后一个 SCK 下降沿至 SDO 高阻态（CS 片选模式）	t_{DIS}	●			25	ns
SDI 有效建立时间对 CNV 上升沿（CS 模式）	$t_{SSDICNV}$	●	15			ns
SDI 有效保持时间对 CNV 上升沿（CS 模式）	$t_{HSDICNV}$	●	3			ns
SCK 有效建立时间对 CNV 上升沿（链模式）	$t_{SSCKCNV}$	●	5			ns
SCK 有效保持时间对 CNV 上升沿（链模式）	$t_{HSCKCNV}$	●	5			ns
SDI 有效建立时间对 SCK 下降沿（链模式）	$t_{SSDISCK}$	●	3			ns
SDI 有效保持时间对 SCK 下降沿（链模式）	$t_{HSDISCK}$	●	4			ns
SDI 高电平至 SDO 高电平（链模式且有繁忙指示）	t_{SDOSDI}					
VIO 高于 4.5 V					17	ns
VIO 高于 2.3 V					27	ns

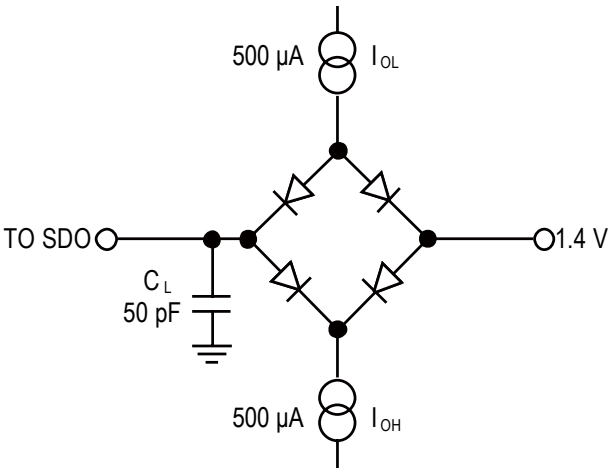


图 5. 数字接口时序的负载电路

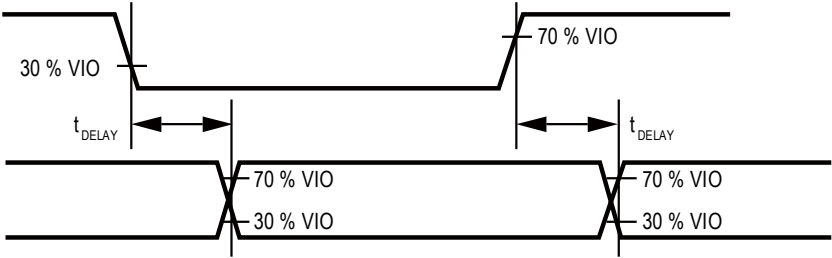


图 6. 时序的逻辑电平

典型特性

除非另有说明, $V_{DD} = 5.0\text{ V}$, $V_{REF} = 5.0\text{ V}$, $V_{IO} = 3.3\text{ V}$, $T_A = 25\text{ }^{\circ}\text{C}$ 。

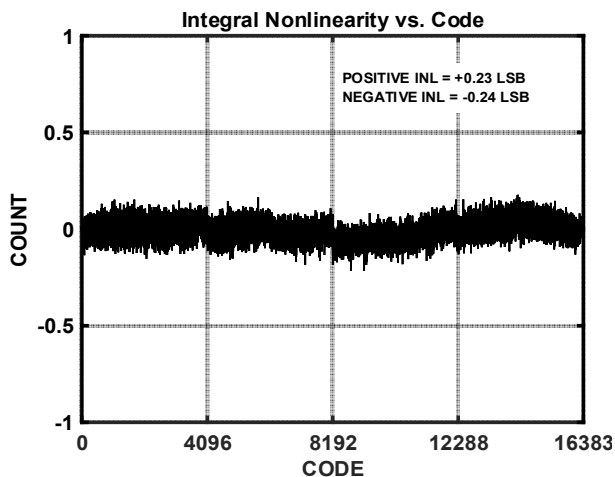


图 7. 积分非线性与代码的关系

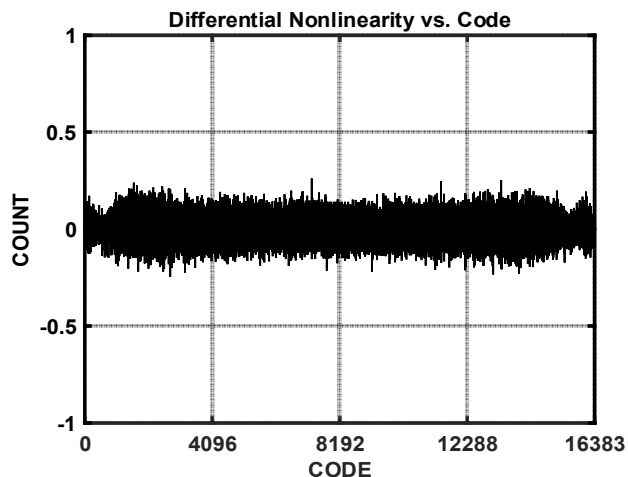


图 8. 微分非线性与代码的关系

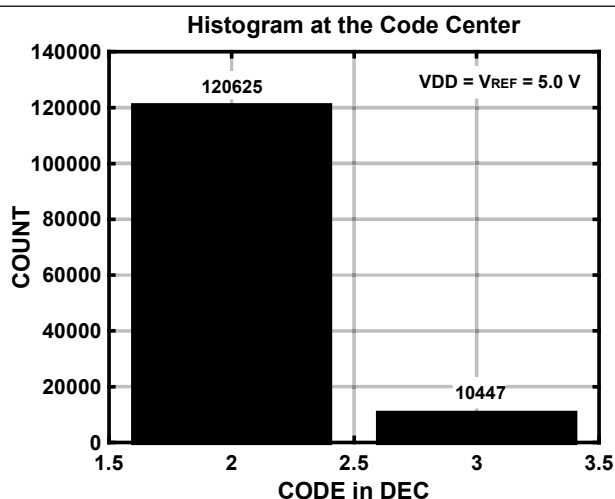


图 9. 直流输入的直方图 (码中心)

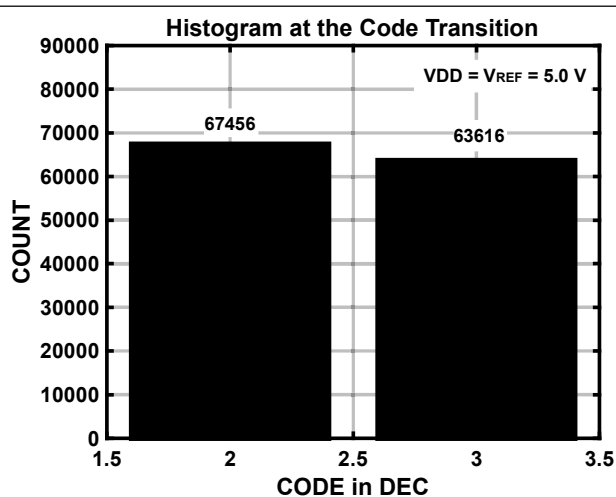


图 10. 直流输入的直方图 (码跃迁)

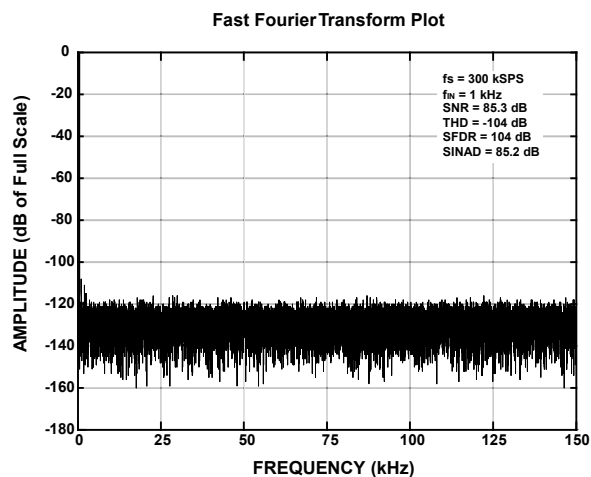


图 11. FFT 曲线图

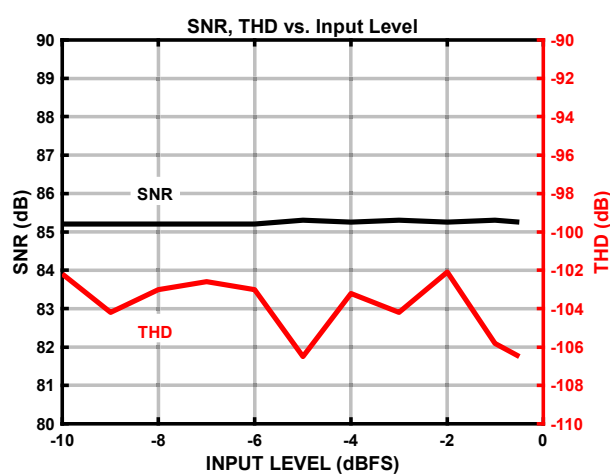


图 12. SNR, THD 与输入电平的关系

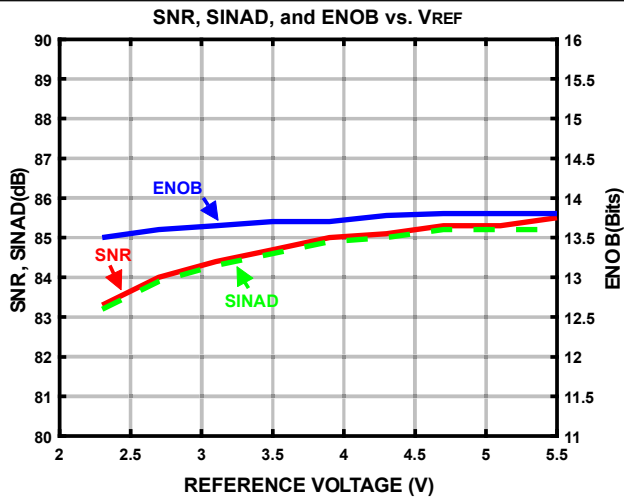


图 13. SNR, SINAD 和 ENOB 与基准电压的关系

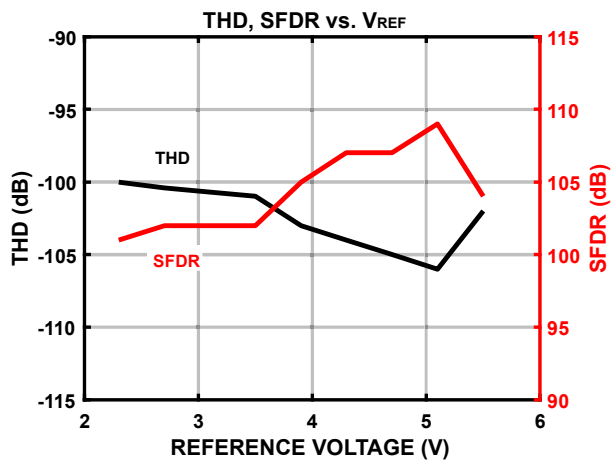


图 14. THD, SFDR 与基准电压的关系

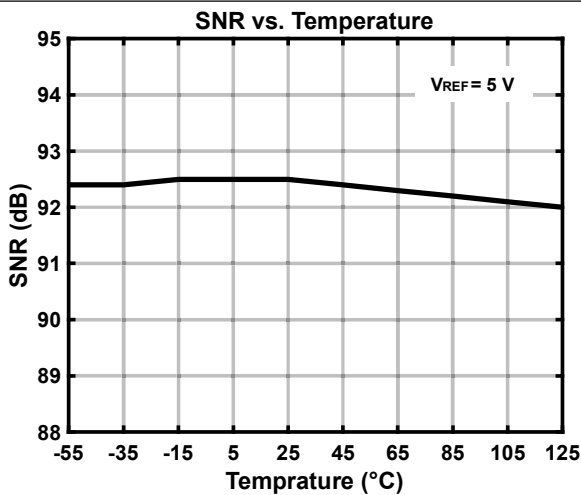


图 15. SNR 与温度的关系

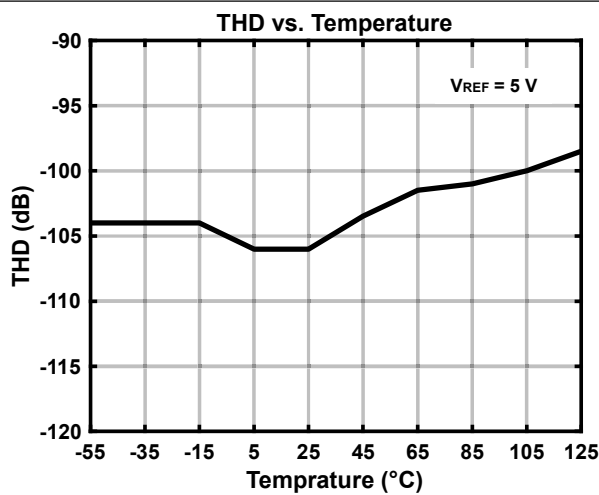


图 16. THD 与温度的关系

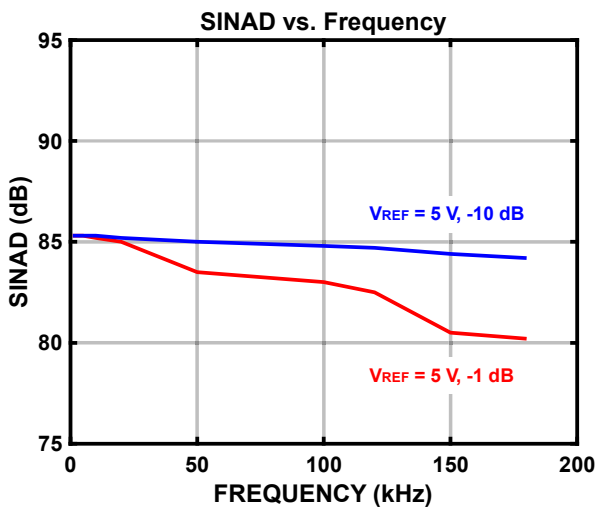


图 17. SINAD 与频率的关系

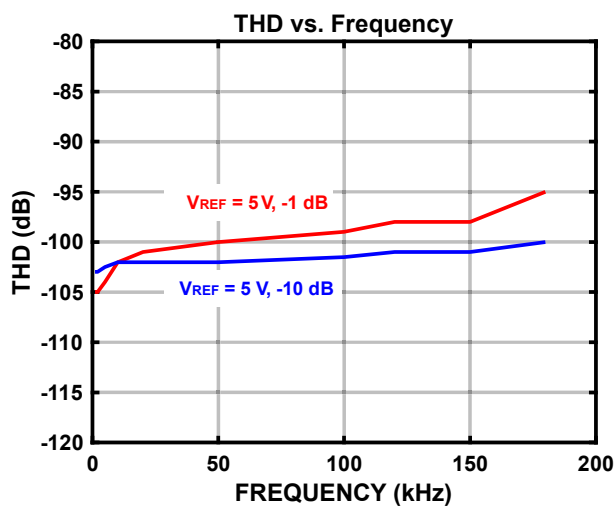


图 18. THD 与频率的关系

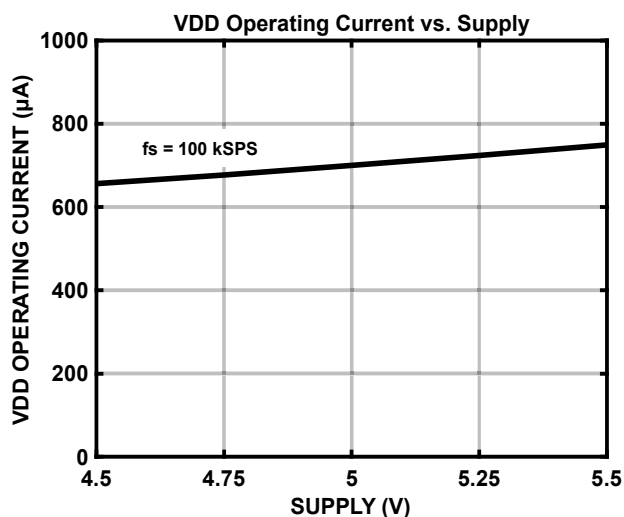


图 19. VDD 工作电流与电源电压的关系

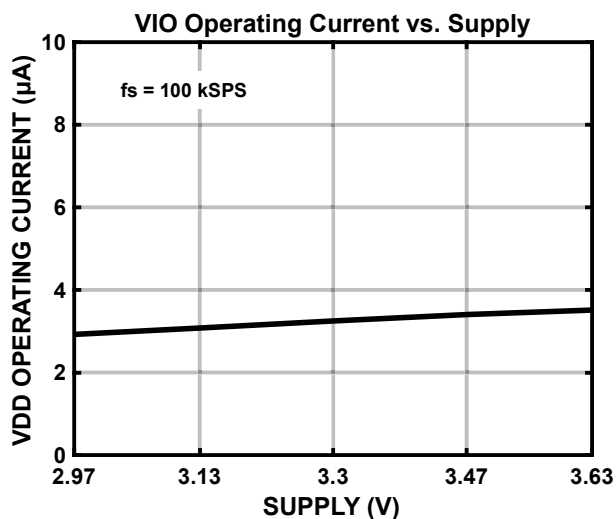


图 20. VIO 工作电流与电源电压的关系

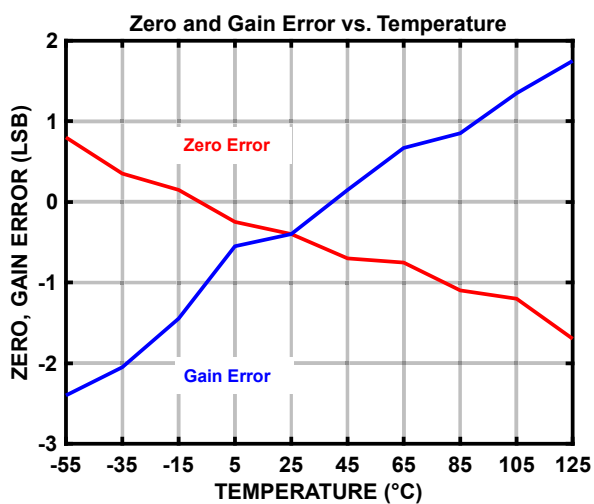


图 21. 零输入, 增益误差与温度的关系

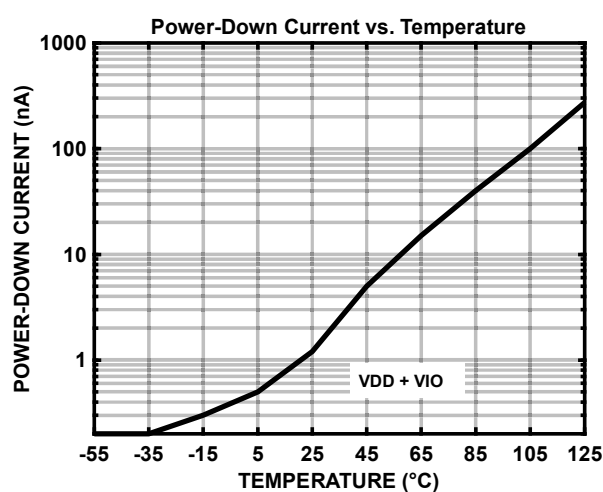


图 22. 待机电流与温度的关系

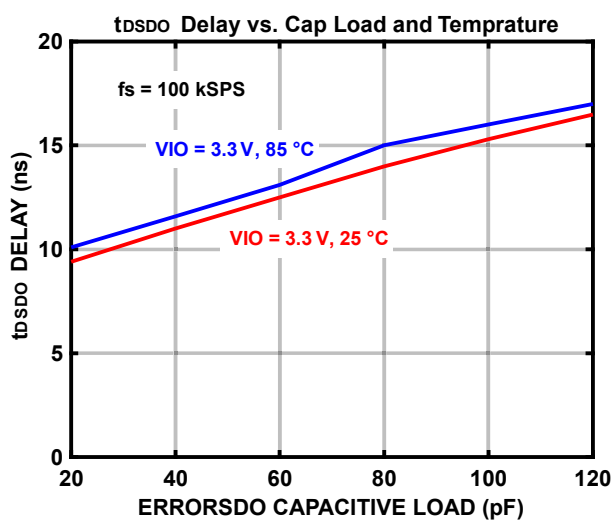


图 23. tSDO 延时 vs 负载电容和电压

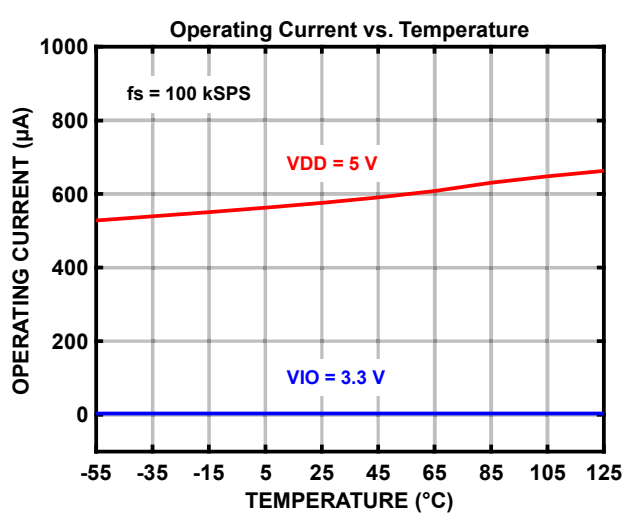


图 24. 工作电流与温度的关系

工作原理

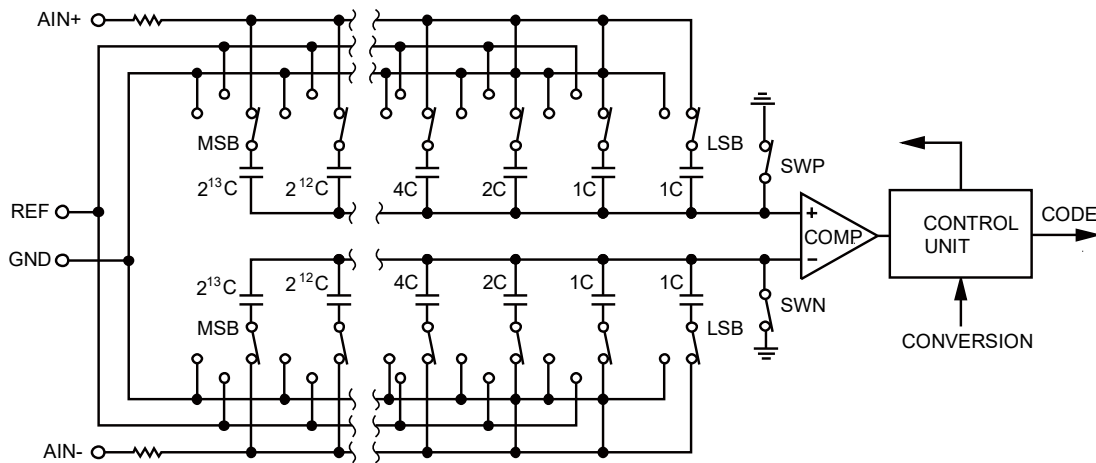


图 25. ADC 简化电路图

电路结构

ZJC2017 是一款快速、高精度、低功耗、14 位伪差分输入逐次逼近型模数转换器 (SAR ADC)。ZJC2017 每秒能够转换 300 k 个样本 (300 kSPS)，转换之间器件进入待机模式。以 1 kSPS 速率工作时，典型功耗为 35μW，非常适合低功耗的应用。

ZJC2017 可与任何 1.8 V 至 5 V 数字逻辑电平接口，提供 10 引脚 MSOP 封装或 10 引脚 DFN (LFCSP) 封装，节省空间。

转换器操作

图 25 是 ZJC2017 的简化电路图。它基于电荷再分配式 DAC 架构。

在采集阶段，与比较器输入端相连的阵列节点通过 SW+ 和 SW- 短连到 GND。所有独立开关都连接到模拟输入端。因此，电容阵列被用作采样电容，采集 IN+ 和 IN- 输入端的模拟信号。当采集阶段完成且 CNV 输入出现上升沿时，就会启动转换阶段。转换阶段开始时，SW+ 和 SW- 首先断开。然后，两个电容阵列从输入端断开，并连接到 GND 输入端。通过在 GND 与 REF 之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进 ($V_{REF}/2^1$ 、 $V_{REF}/2^2$ 、...、 $V_{REF}/2^{13}$) 变化。控制逻辑从 MSB 开始依次切换这些开关，比较器每次重新回到平衡状态。完成此过程后，器件返回采集阶段，而控制逻辑将产生 ADC 输出码和繁忙信号指示。ZJC2017 具有片上转换时钟，因此转换过程不需要外部提供串行时钟 SCK。

传递函数

ZJC2017 理想传输函数如图 26 所示。

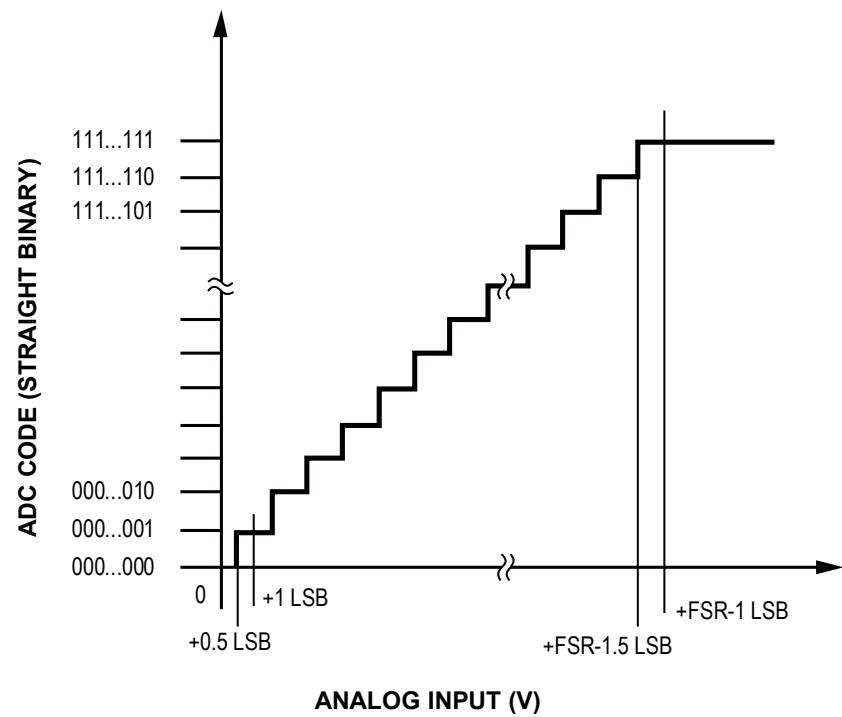


图 26. ADC 理想传递函数

输出码和理想输入电压：

描述	模拟输入 $V_{REF} = 5\text{ V}$	数字输出码（十六进制）
正满量程 - 1 LSB	+ 4.999695 V	0 x 3FFF ¹
中间电平 + 1 LSB	2.5003052 V	0 x 3FFE
中间电平	2.5 V	0 x 2000
中间电平 - 1 LSB	2.499695 V	0 x 1FFF
负满量程 + 1 LSB	305.2 μV	0 x 0001
负满量程	0 V	0 x 0000 ²

¹ 这也是超量程模拟输入 ($V_{IN+} - V_{IN-}$ 高于 $V_{REF} - V_{GND}$) 对应的代码。

² 这也是欠量程模拟输入 ($V_{IN+} - V_{IN-}$ 低于 V_{GND}) 对应的代码。

典型连接图

图 27 所示的例子为采用多个电源时 ZJC2017 的建议连接图。

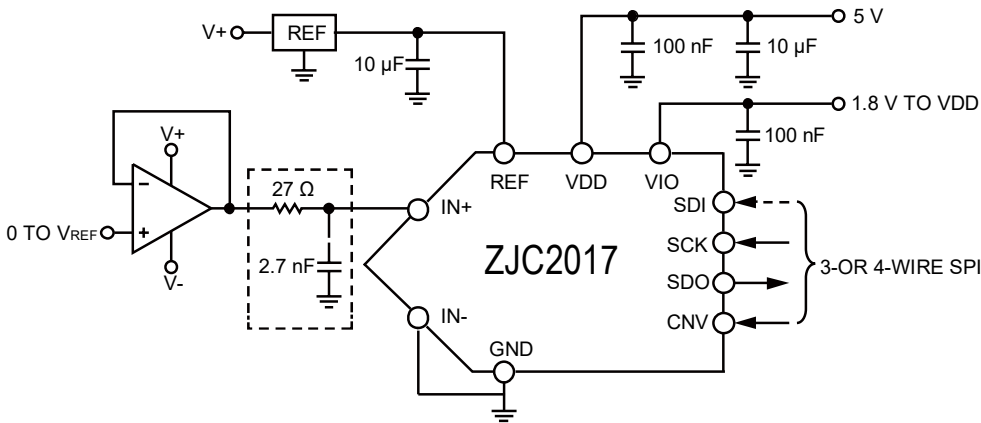


图 27. 采用多路电源的应用电路

图 28 描述了 ZJC2017 输入结构的等效电路。

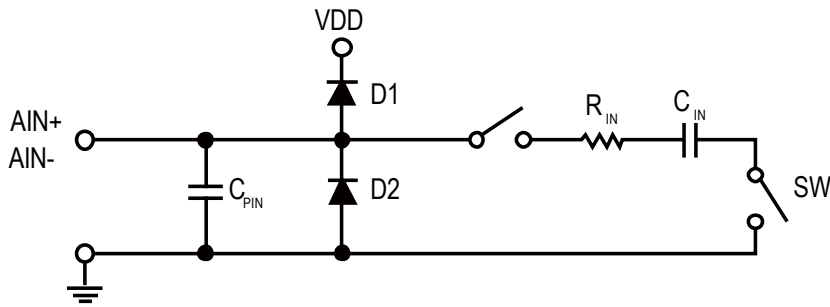


图 28. 两个二极管 D1 和 D2 为模拟输入提供 ESD 保护

注意，模拟输入信号的电压值不能比电源电压 (VDD) 高 0.3 V 以上。如果模拟输入信号的电压超过 $VDD + 0.3 V$ ，二极管将正偏并开始传导电流。这两个二极管可以处理最高 50 mA 的正偏电流。如果输入驱动器的供电电压高于 VDD，则模拟输入信号的电压可能比电源电压高超过 0.3 V。这两个二极管 D1 和 D2 为模拟输入 IN+ 和 IN- 提供 ESD 保护。

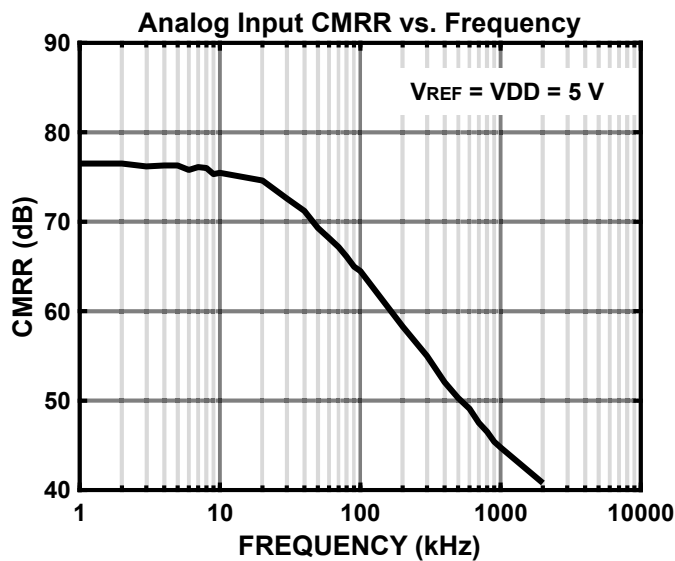


图 29. 模拟输入 CMRR 与频率的关系

在采集阶段，模拟输入 (IN+) 的阻抗可以看成是由 R_{IN} 和 C_{IN} 串联构成的网络与电容 C_{PIN} 的并联组合。 C_{PIN} 主要包括引脚电容。 R_{IN} 典型值为 4 k Ω ，是由串联电阻与开关的导通电阻构成的集总元件。 C_{IN} 典型值为 30 pF，主要包括 ADC 采样电容。高源阻抗会显著影响交流特性，特别是谐波失真。THD 性能下降程度是源阻抗和模拟输入频率的函数。

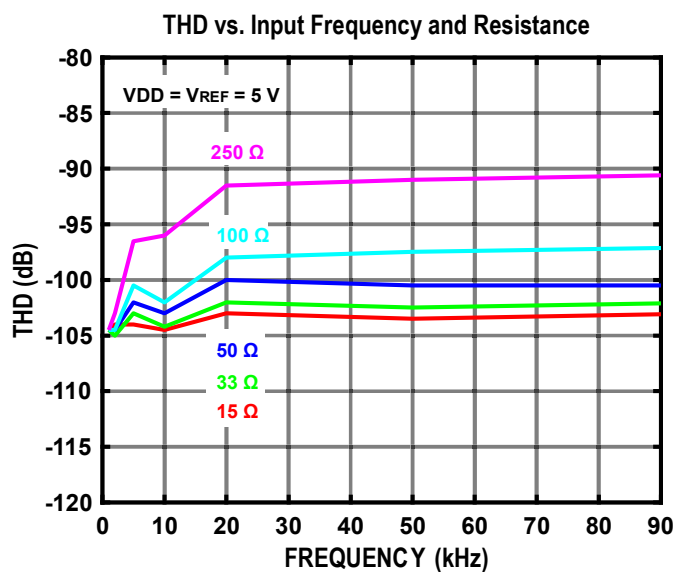


图 30. THD 与模拟输入频率及源阻抗的关系

伪差分输入转换

对于使用单极性全差分模拟信号的应用，可以通过驱动运放为该器件提供伪差分输入，原理图见图 31。

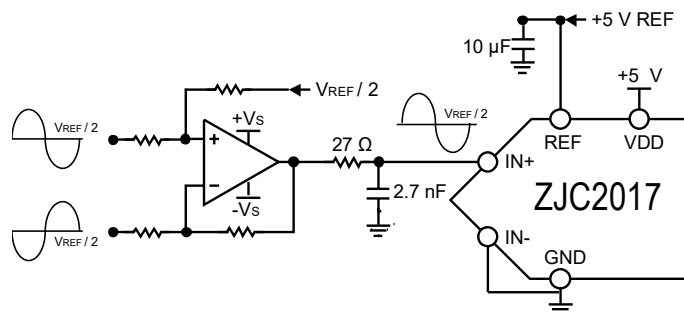


图 31. 双运放实现全差分转单极性伪差分

双极性单端信号可以通过运放调理为伪差分信号，再驱动 ADC 输入，原理图见图 32。

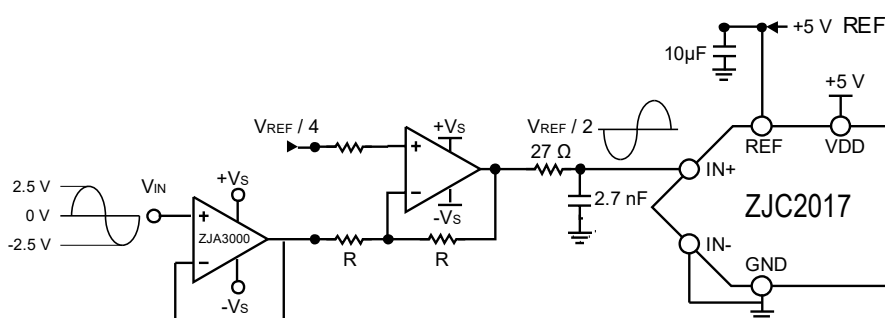


图 32. 双运放实现双极性转单极性伪差分

基准电压输入

对于高精度 ADC 应用场合，精密基准电压源是必不可少的器件。ZJC2017 基准电压 REF 具有动态输入阻抗，因此应利用低阻抗源驱动。REF 与 GND 引脚之间应有效去耦，如“布局布线”部分所述。图 33 给出了一个具体的基准源及驱动设计的例子。ZJR100X 系列高精度基准源芯片正好可以满足这些需求。

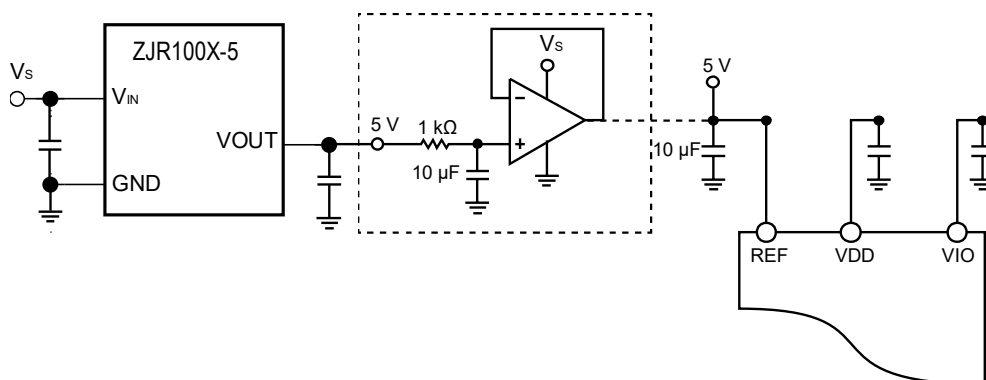


图 33. ZJC2017 参考引脚驱动

电源

ZJC2017 使用两个电源引脚：内核电源 (VDD) 以及数字输入/输出接口电源 VIO。VIO 可以与 1.8V 至 5.5V 的任何逻辑直接接口。为减少所需的电源数，VIO 和 VDD 引脚可以通过电阻或磁珠连在一起。PSRR 曲线如图 34 所示。

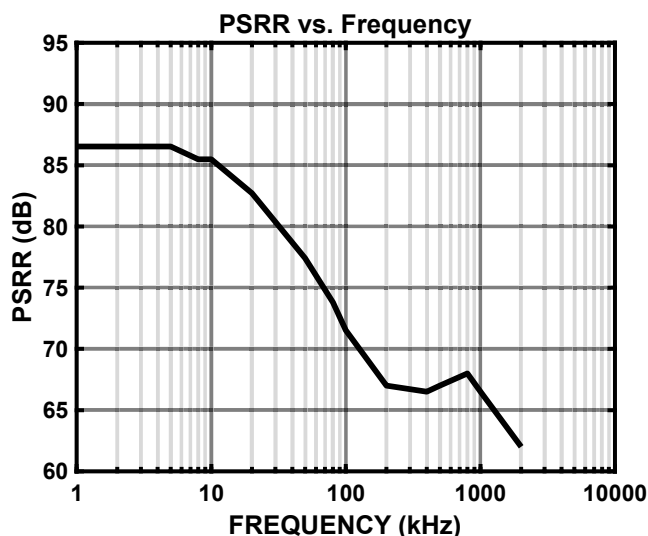


图 34. PSRR 与频率的关系

ZJC2017 在每个转换阶段结束时自动进入待机模式，因此功耗与采样速率大致成线性比例关系。这使得该器件适合低采样率和低功耗的应用。如图 35 所示。

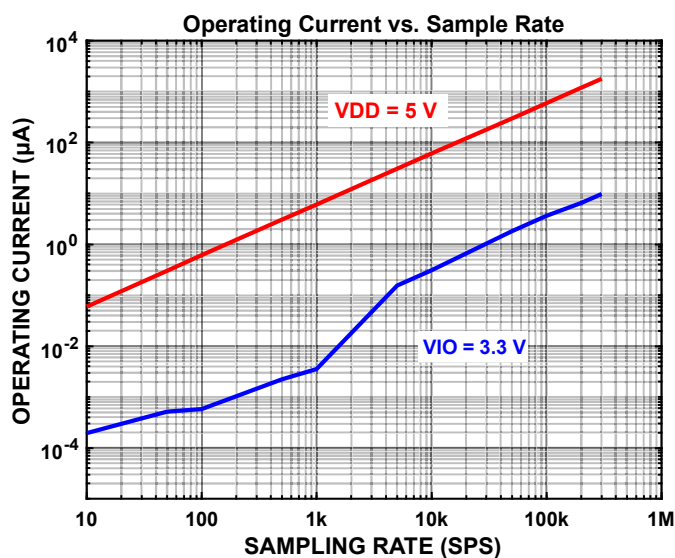


图 35. 工作电流与采样速率的关系

数字接口

ZJC2017 在串行接口模式上具有很强灵活性。片选模式下，ZJC2017 与 SPI、MCU 和 DSP 兼容。此模式下，ZJC2017 可使用三线式或四线式接口。三线式接口使用 CNV、SCK 和 SDO 信号。四线式接口使用 SDI、CNV、SCK 和 SDO 信号，用于启动转换的 CNV 与回读时序 (SDI) 独立。链模式下，ZJC2017 提供菊花链特性，可实现多个 ADC 的级联。如果 SDI 为高电平，选择片选模式，而如果 SDI 为低电平，则选择链模式。当 SDI 和 CNV 连接在一起时，始终选择链模式。

ZJC2017 可提供在数据位前强制加入起始位的选项。此起始位可用作繁忙信号指示。如果无繁忙指示，控制器必须在回读前等待最大转换时间，然后再读取码值。繁忙指示功能在下列情况下使能：

- 片选 (CS) 模式下, ADC 转换结束时 CNV 或 SDI 为低电平 (参见图 39 和图 43)。
- 链 (Chain) 模式下, CNV 上升沿期间 SCK 为高电平 (参见图 47)。

片选模式 (三线式无繁忙指示)

单片 ZJC2017 连接到 SPI 兼容控制器时, 可以使用此模式。连接如图 36 所示, 相应时序如图 37 所示。

SDI 为高时, CNV 的上升沿启动转换, 选择片选模式, 并强制 SDO 进入高阻态。启动转换后, 无论 CNV 为何状态, 转换都会执行到完成为止。CNV 必须在最小转换时间结束前返回高电平, 接着在最大可能转换时间内保持高电平, 以避免生成繁忙信号指示。转换完成后, ZJC2017 进入采集阶段并进入待机模式。

CNV 变为低电平时, MSB 输出至 SDO。剩余数据位在随后的 SCK 下降沿逐位输出。在第 14 个 SCK 下降沿之后, 或者当 CNV 变为高电平时 (以最先出现者为准), SDO 返回高阻态。

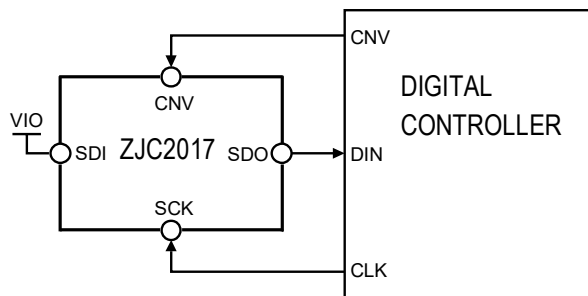


图 36. 片选模式 (三线式无繁忙指示) 连接图

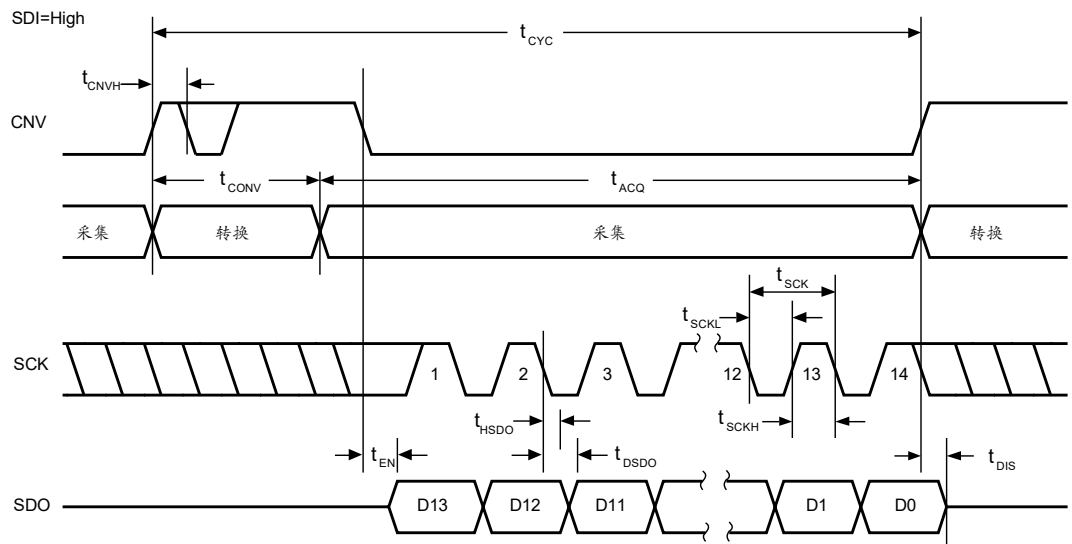


图 37. 片选模式 (三线式无繁忙指示) 串行接口时序

片选模式 (三线式有繁忙指示)

单个 ZJC2017 连接到具有中断输入的 SPI 兼容数字主机时, 可以使用此模式。连接如图 38 所示, 相应时序如图 39 所示。

将 SDI 连接到 VIO 时, CNV 上的上升沿启动转换, 选择片选模式, 并强制 SDO 进入高阻态。无论 CNV 状态如何, SDO 都会保持高阻态, 直至转换完成。CNV 必须在最小转换时间逝去前返回低电平, 接着在最大可能转换时间

内保持低电平，以保证生成繁忙信号指示。转换完成时，SDO 从高阻态变为低阻态。结合 SDO 线路上的上拉，此转换可用作中断信号。接下来 ZJC2017 进入采集阶段并进入待机模式。数据位则在随后的 SCK 下降沿逐个输出，MSB 优先。在可选的第 15 个 SCK 下降沿之后，或者当 CNV 变为高电平时（以最先发生者为准），SDO 返回高阻态。

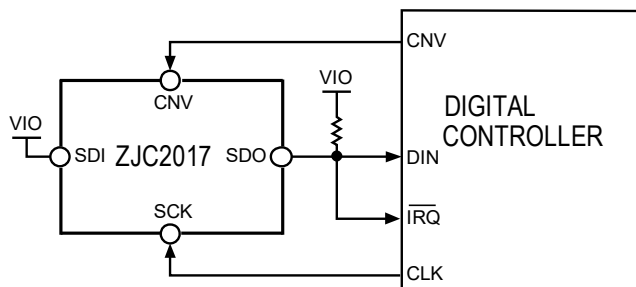


图 38. 片选模式 (三线式有繁忙指示) 连接图

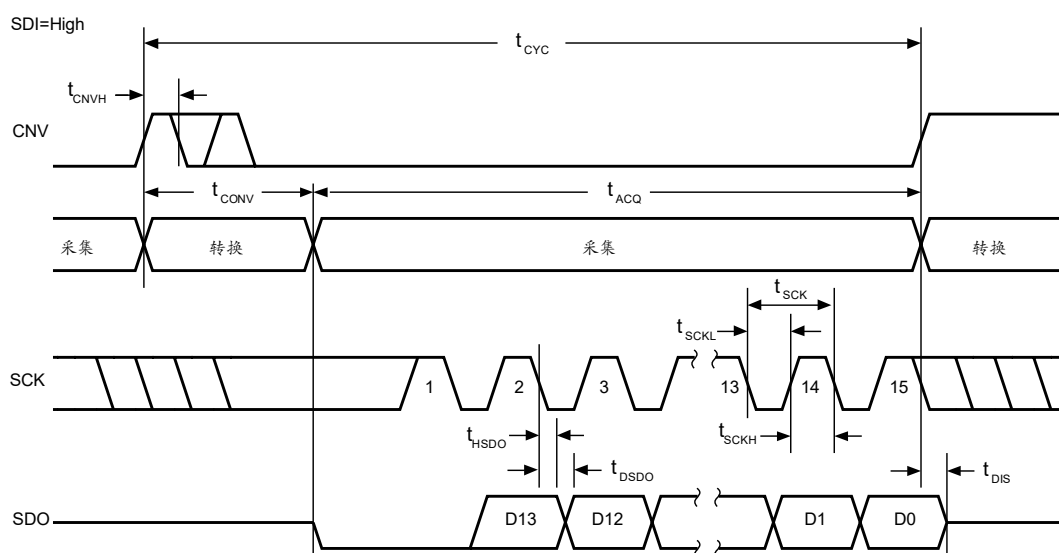


图 39. 片选模式 (三线式有繁忙指示) 串行接口时序

片选模式（四线式无繁忙指示）

使用两个 ZJC2017 的连接示例如图 40 所示，相应时序如图 41 所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择片选模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间必须保持高电平。如果SDI和CNV为低电平，SDO变为低电平。

SDI 必须在最小转换时间结束前返回高电平，接着在最大可能转换时间内保持高电平，以避免生成繁忙信号指示。转换完成后，ZJC2017 进入采集阶段并进入待机模式。每个 ADC 转换码值可通过将 SDI 输入拉低来读取，从而将 MSB 输出至 SDO。剩余数据位则在随后的 SCK 下降沿逐个输出。在第 14 个 SCK 下降沿之后，或者当 SDI 变为高电平时（以最先出现者为准），SDO 返回高阻态，可读取另一个 ZJC2017。

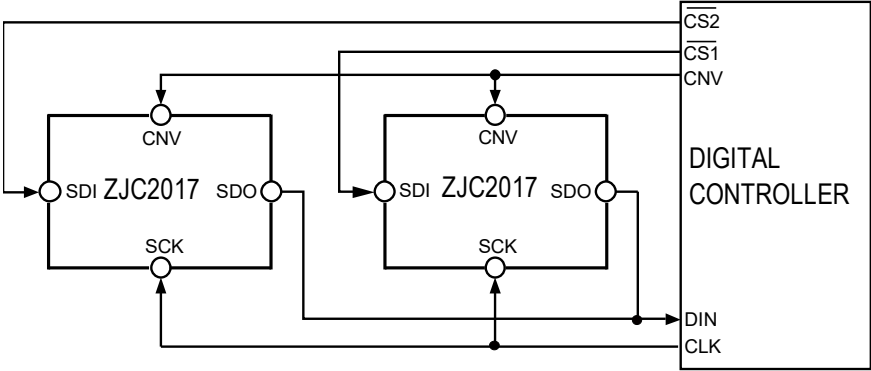


图 40. 片选模式（四线式无繁忙指示）连接图

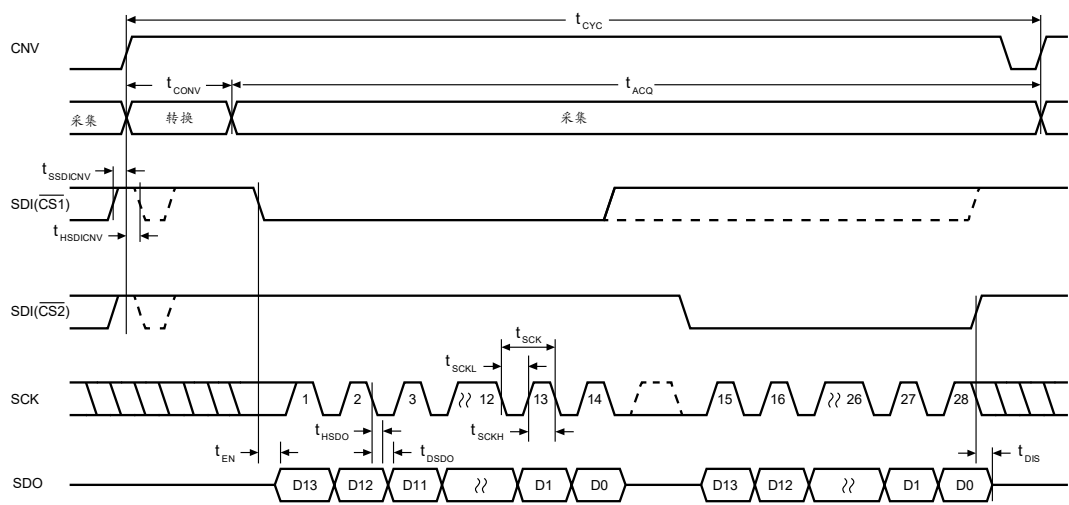


图 41. 片选模式（四线式无繁忙指示）串行接口时序

片选模式（四线式有繁忙指示）

连接如图 42 所示，相应时序如图 43 所示。

将 SDI 置为高电平时，CNV 上的上升沿启动转换，选择片选模式，并强制 SDO 进入高阻态。此模式下，CNV 在转换阶段和随后的数据回读期间必须保持高电平。如果 SDI 和 CNV 为低电平，SDO 变为低电平。SDI 必须在最小转换时间结束前返回低电平，接着在最大可能转换时间内保持低电平，以保证生成繁忙信号指示。转换完成时，SDO 从高阻态变为低阻态。结合 SDO 线路上的上拉，此转换可用作中断信号，以启动数据回读。接下来 ZJC2017 进入采集阶段并待机。数据位则在随后的 SCK 下降沿逐个输出，MSB 优先。在可选的第 15 个 SCK 下降沿或者 SDI 变为高电平之后（以最先出现者为准），SDO 返回高阻态。

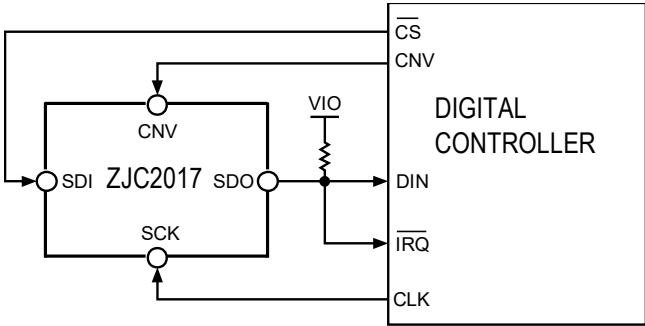


图 42. 片选模式（四线式有繁忙指示）连接图

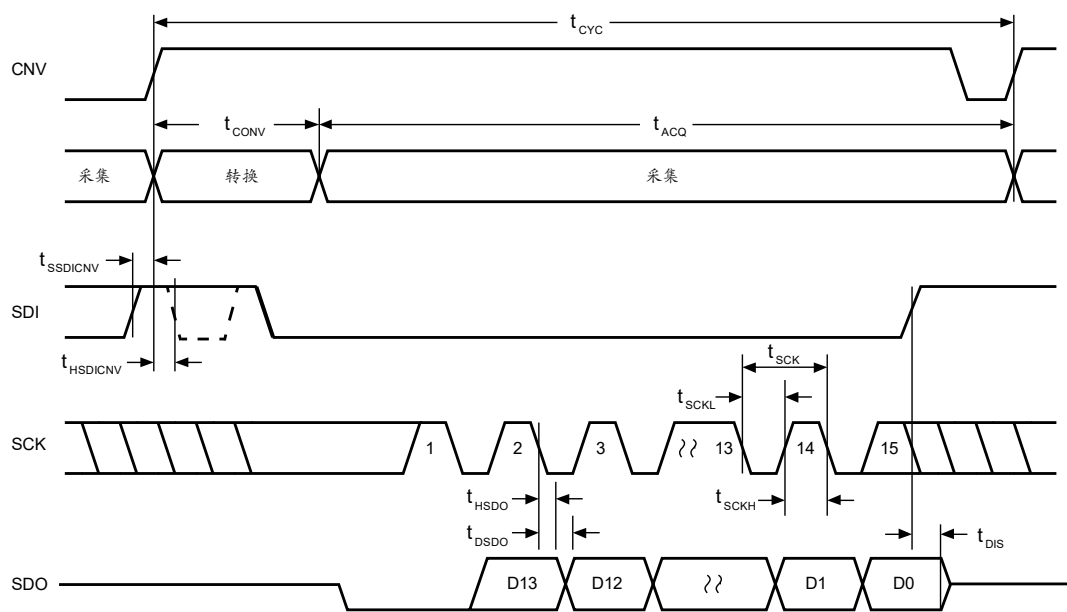


图 43. 片选模式(四线式有繁忙指示)串行接口时序

链模式（无繁忙指示）

此模式可用于在三线式串行接口上以菊链形式连接多个 ZJC2017。

使用两个 ZJC2017 的连接示例如图 44 所示，相应时序如图 45 所示。

SDI 和 CNV 为低电平时，SDO 变为低电平。将 SCK 置为低电平时，CNV 上的上升沿启动转换，选择链模式，并禁用繁忙指示。此模式下，CNV 在转换阶段和随后的数据回读期间保持高电平。转换完成后，MSB 输出至 SDO，而 ZJC2017 进入采集阶段并待机。存储在内部移位寄存器中的剩余数据位则在随后的 SCK 下降沿逐个输出。对于每个 ADC，SDI 馈入内部移位寄存器的输入，并通过 SCK 下降沿逐个输出。链内每个 ADC 首先输出数据 MSB，回读 N 个 ADC 需要 $14 \times N$ 个时钟。

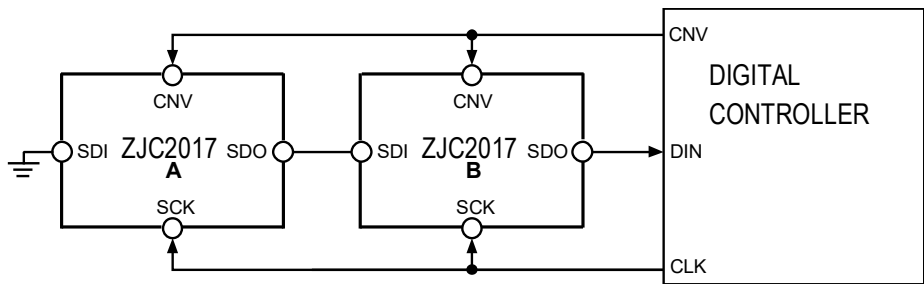


图 44. 链模式(无繁忙指示)连接图

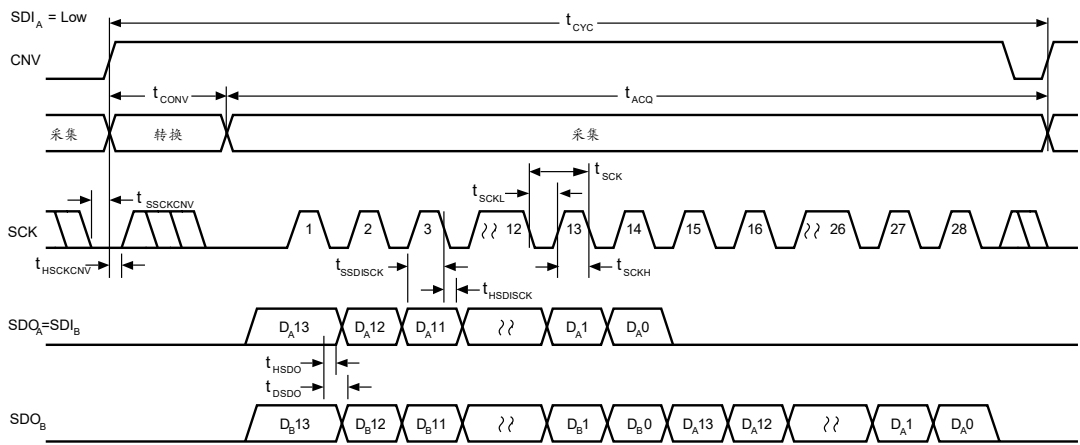


图 45. 链模式(无繁忙指示)串行接口时序

链模式（有繁忙指示）

此模式也可用于在三线式串行接口上以菊花链形式连接多个 ZJC2017，同时提供繁忙指示。

使用三个 ZJC2017 的连接示例如图 46 所示，相应时序如图 47 所示。

SDI 和 CNV 为低电平时，SDO 变为低电平。将 SCK 置为高电平时，CNV 上的上升沿启动转换，选择链模式，并启用繁忙指示功能。此模式下，CNV 在转换阶段和随后的数据回读期间保持高电平。链内所有 ADC 完成转换后，将最靠近数字主机的 ADC 的 SDO 引脚（参见图 46 中标示为 C 的 ADC ZJC2017）驱动为高电平。SDO 上的这一转换可用作繁忙指示，以触发数据回读。ZJC2017 接着进入采集阶段并待机。存储在内部移位寄存器中的剩余数据位则在随后的 SCK 下降沿以 MSB 优先方式逐个输出。对于每个 ADC，SDI 馈入内部移位寄存器的输入，并通过 SCK 下降沿逐个输出。链内每个 ADC 首先输出数据 MSB，回读 N 个 ADC 需要 $14 \times N + 1$ 个时钟。

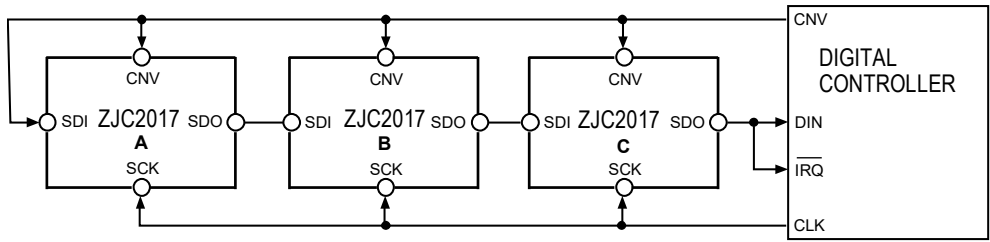


图 46. 链模式(有繁忙指示)连接图

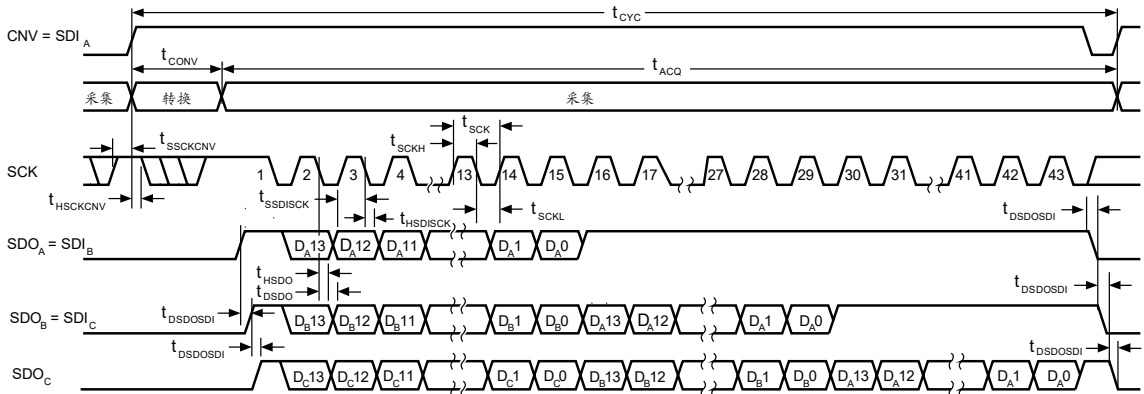


图 47. 链模式(有繁忙指示)串行接口时序

布局布线

为了获得器件的最佳工作性能，建议使用良好的 PCB 布局习惯，包括：

- ZJC2017 印刷电路板建议采用模拟部分与数字部分分离设计，并各自限制在电路板的一定区域内。
- 避免在器件下方布设数字线路，否则会将噪声耦合至晶片，除非在 ZJC2017 下方铺一个接地层用作屏蔽。CNV 或时钟之类的快速开关信号不应靠近模拟信号路径。应避免数字信号与模拟信号交叠。
- 至少应使用一个接地层。数字和模拟部分可以共用或分割使用接地层。对于后一种情况，接地层应在 ZJC2017 下方连接。
- ZJC2017 的基准电压输入 REF 具有动态输入阻抗，应用 $10\mu\text{F}$ 左右陶瓷电容进行去耦，并使寄生电感最小。实现方法是将基准电压源的去耦陶瓷电容尽量靠近 REF 和 GND 引脚放置，并用较宽的低阻抗走线进行连接。
- ZJC2017 的电源 VDD 应通过 $10\mu\text{F}$ 和 100 nF 陶瓷电容并联去耦，尽量靠近 ZJC2017 放置，并用短而宽的走线连接，以提供低阻抗路径并减小电源线路上的噪声影响。

图 48 是遵循这些规则的布局布线示例。

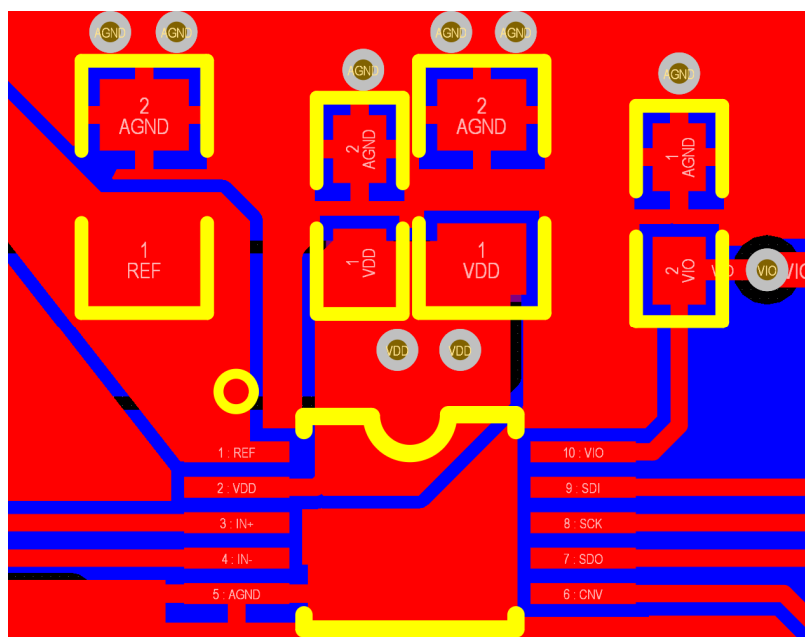


图 48. ZJC2017 的示例布局布线

封装外形尺寸

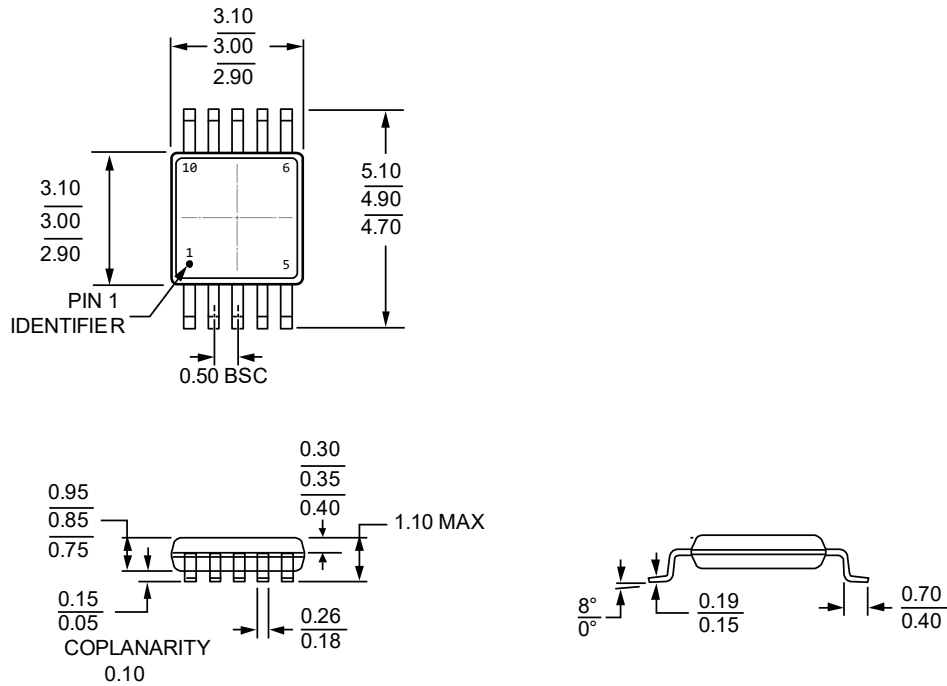


图 49. MSOP-10 封装尺寸图 (单位: 毫米)

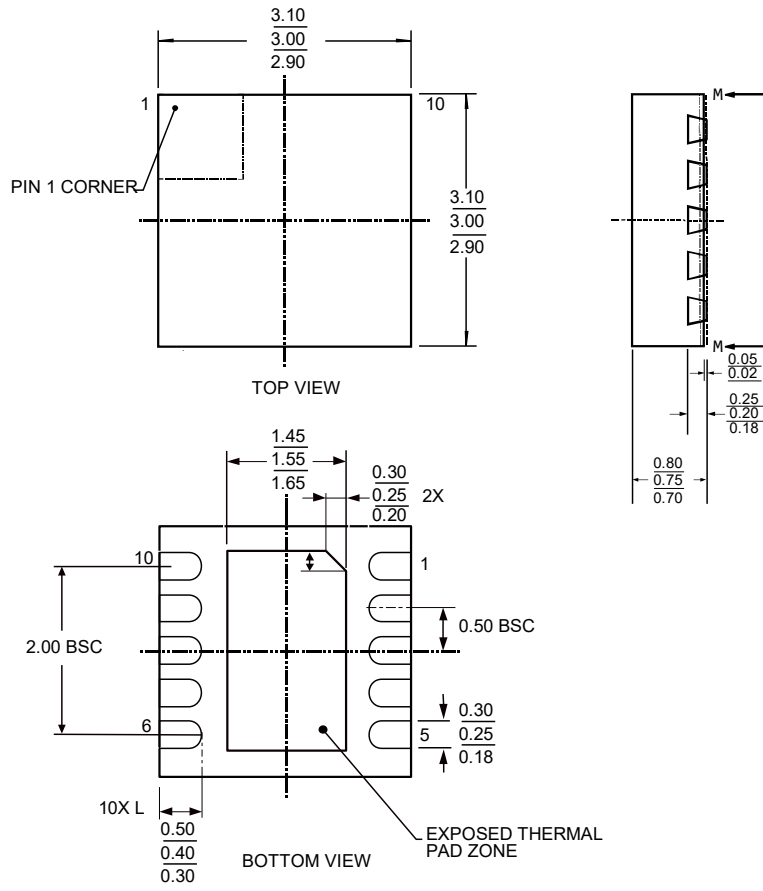


图 50. DFN-10 封装尺寸图 (单位: 毫米)

采购信息

型号	分辨率 (bit)	供电电压 (V)	温度范围 (°C)	封装	外包装
ZJC2017AUBET	14	4.5 至 5.5	- 40 至 + 85	MSOP-10	管装
ZJC2017AUBER				MSOP-10	卷盘
ZJC2017ATBER				DFN-10	卷盘

相关器件

型号	描述	注释
ADC		
ZJC2000 / 2010	18 位 400 kSPS / 200 kSPS SAR ADC	真差分输入，MSOP-10 及 DFN-10 封装
ZJC2001 / 2011	16 位 500 kSPS / 250 kSPS SAR ADC	真差分输入，MSOP-10 及 DFN-10 封装
ZJC2002 / 2012	16 位 500 kSPS / 250 kSPS SAR ADC	单极性伪差分输入，MSOP-10 及 DFN-10 封装
ZJC2003 / 2013	16 位 500 kSPS / 250 kSPS SAR ADC	双极性伪差分输入，MSOP-10 及 DFN-10 封装
ZJC2004 / 2014	18 位 400 kSPS / 200kSPS SAR ADC	单极性伪差分输入，MSOP-10 及 DFN-10 封装
ZJC2005 / 2015	18 位 400 kSPS / 200 kSPS SAR ADC	双极性伪差分输入，MSOP-10 及 DFN-10 封装
ZJC2007 / 2017	14 位 600 kSPS / 300 kSPS SAR ADC	单极性伪差分输入，MSOP-10 及 DFN-10 封装
ZJC2008 / 2018	14 位 600 kSPS / 300 kSPS SAR ADC	双极性伪差分输入，MSOP-10 及 DFN-10 封装
DAC		
ZJC2541-18 / 16 / 14	18 / 16 / 14 位 1 MSPS 单通道精密 DAC	单极性输出，上电输出 0 V (ZJC2541) & V _{REF} / 2 (ZJC2543)，SOIC-8 / MSOP-10 / DFN-10 封装
ZJC2543-18 / 16 / 14		
ZJC2542-18 / 16 / 14	18 / 16 / 14 位 1 MSPS 单通道精密 DAC	双极性输出，上电输出 0 V (ZJC2542) & V _{REF} / 2 (ZJC2544)，SOIC-14 / TSSOP-16 / QFN-16 封装
ZJC2544-18 / 16 / 14		
放大器		
ZJA3000-1/2/4	单路、双路及四路 36 V 精密连续信号处理运放	3 MHz 带宽，35 μV 最大失调电压，0.5 μV/°C 最大失调电压温漂，SOIC-8 / MS-8 / SOIC-14 / TSSOP-14 封装
ZJA3600	36 V 高精密仪表放大器	CMRR 优于 110 dB (G = 1)，100 pA 最大输入电流，25 μV 最大输入失调电压，增益误差小于 0.0005%，SOIC-8 封装经典管脚排列
ZJA3601	36 V 高精密仪表放大器	CMRR 优于 110 dB(G = 1)，100 pA 最大输入电流，25 μV 最大输入失调电压，增益误差小于 0.0005%，SOIC-8/MS-8 封装性能优化管脚排列
ZJA3620	36 V 精密仪表放大器	CMRR 优于 90 dB (G = 100)，2 nA 最大输入电流，SOIC-8 封装经典管脚排列
精密基准源		
ZJR1000	15 V 供电精密电压基准源	V _{OUT} = 1.25 / 2.048 / 2.5 / 3 / 4.096 / 5 V，5 ppm/°C 最大温漂，SOIC-8 / MSOP-8 封装
ZJR1001	5.5 V 低功耗精密电压基准源（ZJR1001 带片外滤波功能）	V _{OUT} = 2.5 / 3 / 4.096 / 5 V，5 ppm/°C 最大温漂，SOT23-6 封装
ZJR1002		
ZJR1003	5.5 V 低功耗精密电压基准源	V _{OUT} = 2.5 / 3 / 4.096 / 5 V，5 ppm/°C 最大温漂，SOIC-8 / MSOP-8 封装
开关和多路复用器		
ZJG4438 / 4439	40 V 带过压保护 8:1/双通道 4:1 多路复用器	过压保护-40 V 至+55 V 无论上电还是掉电，闭合电阻 280 Ω，SOIC-16 封装