

ZJC2542

2.7V ~ 5.5V 串行输入、电压输出精密 DAC

特点

- 18 / 16 / 14 / 12 位分辨率
- 2.7 V 至 5.5 V 单电源供电
- 低功耗：供电电流 **120** μA
- **1** μs 建立时间
- 未缓冲电压输出具有 **60** $\text{k}\Omega$ 驱动能力
- 上电确定输出 **0 V** 或 $V_{\text{REF}} / 2$
- 超低毛刺：**1.0** $\text{nV}\cdot\text{sec}$
- 低噪声频谱密度：**12** $\text{nV}/\sqrt{\text{Hz}}$ 。
- 低温度漂移：**0.05** $\text{ppm}/^\circ\text{C}$
- 封装: SOIC-14
- 工作温度范围: -40°C 到 $+125^\circ\text{C}$

应用

- 精密控制设备
- 自动化测试
- 精密仪器
- 医疗仪器

产品简介

ZJC2542 是单路串行数据输入、电压输出 18 / 16 / 14 / 12 位分辨率精密数模转换器 (DAC)。其供电电压为 2.7V 至 5.5V，输出范围为 0V 至 V_{REF} ，且可保证单调性，能保证 -40°C 至 $+125^\circ\text{C}$ 的温度范围内 ± 1 LSB INL 精度。

ZJC2542 输出无缓冲，建立时间为 $1 \mu\text{s}$ ，具有低功耗和低失调误差特性。 $12 \text{ nV}/\sqrt{\text{Hz}}$ 的低噪声性能和低毛刺使其适合在多种终端系统中使用。

ZJC2542 可为双极性工作模式，产生 $\pm V_{\text{REF}}$ 输出摆幅。它还含有用于基准电压与模拟接地引脚的开尔文连接，以方便使用。

ZJC2542 采用多功能三线式接口，并且与 SPI、QSPI、MICROWIRE 和 DSP 接口标准兼容。

表1. 精密 DAC 系列

	单极性	双极性	封装
18-bit	ZJC2541-18	ZJC2542-18	SOIC-8 / SOIC-14
16-bit	ZJC2541-16	ZJC2542-16	SOIC-8 / SOIC-14
14-bit	ZJC2541-14	ZJC2542-14	SOIC-8 / SOIC-14
12-bit	ZJC2541-12	ZJC2542-12	SOIC-8 / SOIC-14

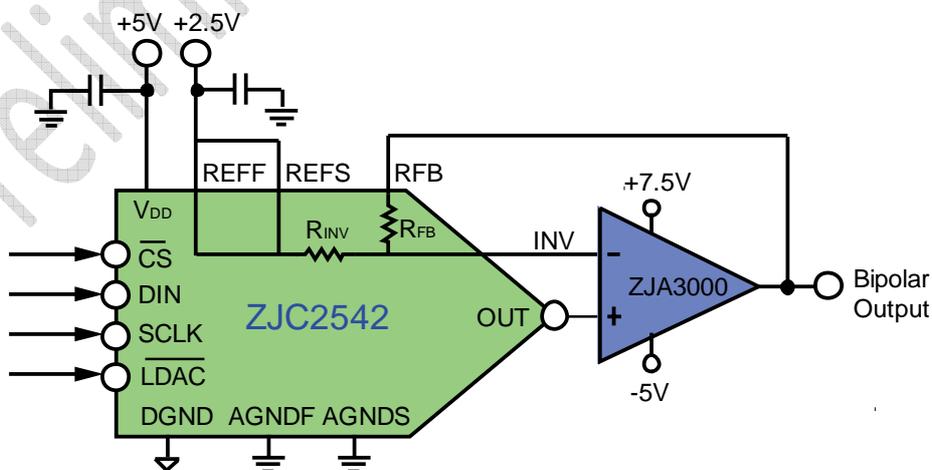


图 1 应用案例

采购信息

型号	分辨率	微分非线性(DNL)	积分非线性(INL)	工作温度范围	封装	标识
ZJC2542-18	18 位	TBD	TBD	-40 °C to +125 °C	SOIC-14	TBD
ZJC2542-16	16 位	TBD	TBD	-40 °C to +125 °C	SOIC-14	TBD
ZJC2542-14	14 位	TBD	TBD	-40 °C to +125 °C	SOIC-14	TBD
ZJC2542-12	12 位	TBD	TBD	-40 °C to +125 °C	SOIC-14	TBD

¹ Z = 符合 RoHS 标准的器件

版本控制

版本	时间	描述	页码
V1.0	07/2022	版本 V1.0	

绝对最大额定值

除非另有说明，这些额定值均相对于 25 °C 而言。

表2.绝对最大额定值

参数	最小值	最大值	单位
电源电压			
VDD 至 GND	-0.3	6	V
REF 至 GND	-0.3	6	V
REF 至 VDD	-6	VDD + 0.3	V
输入电流至任何管脚，除了电源		±10	mA
数字输入至 DGND	-0.3	VDD + 0.3	V
工作温度范围	-40	125	°C
存储温度范围	-65	150	°C
结温范围		150	°C
引脚温度(焊接, 60 秒)		260	°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。长时间在超出绝对最大额定值条件下工作会影响器件的可靠性。这只是最大额定值，不表示在这些条件下或者在任何其它超出本规格的条件下，器件能够正常工作。

ESD 警告

	<p>ESD (静电放电) 敏感器件</p> <p>带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。</p>
---	--

表3.静电放电 (ESD) 等级

	静电模型	额定值	单位
静电放电	人体模型 (HBM)，遵照 ANSI/ESDA/JEDEC JS-001	±3500	V
静电放电	带电器件模型 (CDM)，遵照 ANSI/ESDA/JEDEC JS-002	±2000	V

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品内部有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，设计应当采取适当的 ESD 防范措施以避免器件性能下降或功能丧失。

表4.热阻系数

封装	θ_{JA}	θ_{JC}	单位
SOIC-14	TBD	TBD	°C/W

技术规格/SPECIFICATIONS

除非另有说明, $V_{DD} = 2.7\text{ V to }5.5\text{ V}$, $2.5\text{ V} \leq V_{REF} \leq V_{DD}$, $AGND = DGND = 0\text{ V}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。

表5. 技术规格

参数 Parameter	测试条件 / Test Conditions	最小值 Min	典型值 Typ	最大值 Max	单位 Unit
分辨率(Resolution)		18 16 14 12			Bits
准确度(ACCURACY)	$V_{REF} = 2.5\text{ V}$				
积分非线性误差(INL)	18 位 16 位 14 位 12 位		± 1		LSB ²
差分非线性误差(DNL)	18 位 16 位 14 位 12 位		± 0.5		LSB
增益误差(Gain Error)	$T_A = 25^\circ\text{C}$		± 0.5		LSB
增益误差温漂(Gain Error Temperature Drift)					ppm/ $^\circ\text{C}$
单极性零代码误差(Unipolar Zero Code Error)	$T_A = 25^\circ\text{C}$		± 0.2		LSB
单极性零代码误差温度系数(Unipolar Zero Code Error Temperature Drift)					ppm/ $^\circ\text{C}$
双极性电阻匹配(Bipolar Resistor Matching)	RFB/RINV, 典型 RFB = RINV = 28 k Ω , 比例 误差		± 20		ppm
双极性零偏移误差(Bipolar Zero Offset Error)	$T_A = 25^\circ\text{C}$				LSB
双极性零偏移温度系数(Bipolar Zero Offset Error Temperature Coefficient)					ppm/ $^\circ\text{C}$
双极性零代码偏移误差(Bipolar Zero Code Offset Error)	$T_A = 25^\circ\text{C}$				LSB
双极性增益误差(Bipolar Gain Error)	$T_A = 25^\circ\text{C}$				LSB
双极性增益温度系数(Bipolar Gain Temperature Coefficient)					ppm/ $^\circ\text{C}$
输出特性(OUTPUT CHARACTERISTICS)					
输出电压范围(Output Voltage Range)	单极性工作 双极性工作	0 - V_{REF}		$V_{REF} - 1\text{LSB}$ $V_{REF} - 1\text{LSB}$	V V
输出电压建立时间(Output Voltage Settling Time)	到满量程的 1/2 LSB, $C_L = 10\text{ pF}$		1		μs
压摆率(Slew Rate)	$C_L = 10\text{ pF}$, 测量从 0% 至 63%				V/ μs
数模转换毛刺脉冲(Digital-to-Analog Glitch Impulse)	主进位改变 1 LSB(16 位分辨率)				nV-sec
数字馈通(Digital Feedthrough)	全 1 发送至 DAC, V_{REF} = 2.5 V				nV-sec
DAC 输出阻抗(DAC Output Impedance)	一般公差 20%				k Ω
输出噪声密度(Output Noise Spectral Density)	DAC 代码 = 0x8400, 频 率 = 1 kHz				nV/ $\sqrt{\text{Hz}}$

ZJC2542 Datasheet

输出噪声(Output Noise) 无杂散动态范围(Spur Free Dynamic Range) 总谐波失真(THD) 电源抑制比(Power Supply Rejection Ratio)	0.1 Hz 至 10 Hz DAC 代码= 0xFFFF 频率 = 10 kHz, $V_{REF}=$ 2.5 V \pm 1 V p-p $\Delta V_{DD} \pm 10\%$		μ V p-p dB dB LSB
DAC 参考输入(DAC REFERENCE INPUT) 参考输入范围(Reference Input Range) 参考输入电阻(Reference Input Resistance) ¹	双极性工作	1	V_{DD} V k Ω k Ω
逻辑输入(LOGIC INPUTS) 输入电流(Input Current) 输入低电压 VINL(Input Low Voltage, VINL) 输入高电压 VINH(Input High Voltage, VINH) 输入电容(Input Capacitance) 滞回电压(Hysteresis Voltage)		2.4	0.8 μ A V V pF V
参考(REFERENCE) 参考-3dB 带宽(Reference -3 dB Bandwidth) 参考馈通(Reference Feedthrough) 信噪比(Signal-to-Noise Ratio) 参考输入电容(Reference Input Capacitance)	全 1 代码 全 0 代码, $V_{REF} = 1$ V p-p, 100 kHz DAC 代码 = 0x0000 DAC 代码 = 0xFFFF		MHz mVp-p dB pF pF
电源 VDD IDD 功耗(Power Dissipation)	所有数字输入为 0 或 VDD	4.5	5.5 V μ A mW
温度范围⁶ 指定性能	T_{MIN} to T_{MAX}	-40	+125 $^{\circ}$ C

¹ 参考输入电阻随代码变化, 在 0x8555 时最小。

时序规格

除非另有说明， $V_{DD} = 2.7\text{ V to }5.5\text{ V}$ ， $V_{REF} = 2.5\text{ V}$ ， $V_{INH} = 3\text{ V}$ 和 90% 的 V_{DD} ， $V_{INL} = 0\text{ V}$ 和 10% 的 V_{DD} ， $AGND = DGND = 0\text{ V}$ ， $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 。

表6.时序规格

参数	符号	限值 / Limit		单位 Unit
		$1.8 \leq V_{LOGIC} \leq 2.7\text{ V}$	$2.7 \leq V_{LOGIC} \leq 5.5\text{ V}$	
SCLK 频率	f_{SCLK}			μs
SCLK 周期	t_1			ns
SCLK 高电平时间	t_2			μs
SCLK 低电平时间	t_3			ns
\overline{CS} 低到 SCLK 高建立时间	t_4			ns
\overline{CS} 高到 SCLK 高建立时间	t_5			ns
SCLK 高到 \overline{CS} 低保持时间	t_6			ns
SCLK 高到 \overline{CS} 高保持时间	t_7			ns
数据建立时间	t_8			ns
数据保持时间 ($V_{INH} = 90\%$ of V_{DD} , $V_{INL} = 10\%$ of V_{DD})	t_9			ns
数据保持时间 ($V_{INH} = 3\text{ V}$, $V_{INL} = 0\text{ V}$)	t_9			ns
LDAC 脉冲宽度	t_{10}			ns
\overline{CS} 高到 LDAC 低建立时间	t_{11}			ns
\overline{CS} 低电平之间的高电平时间	t_{12}			ns
CLR 脉冲宽度	t_{13}			ns

¹ $V_{DD} = 2.7\text{ V}$ 至 5.5 V 时，最大 SCLK 频率为 **50 MHz**。通过设计和特性保证，未经生产测试。

² 所有输入信号均指定 $t_r = t_f = 1\text{ ns/V}$ 并从 $(V_{IL} + V_{IH})/2$ 的电平起开始计时。

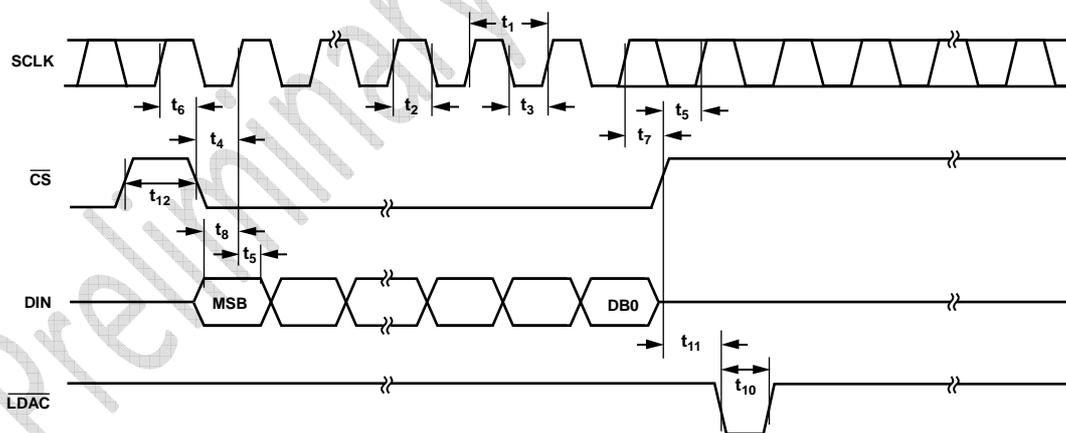


图 2 串行数字接口时序

管脚配置与功能

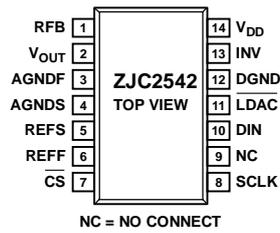


图 3 14 引脚 SOIC 管脚配置图

表7. ZJC2542 管脚配置与功能

管脚			功能描述
名称	序号	类别	
RFB	1	AI	反馈电阻引脚。双极性模式下，将该引脚连接至外部运算放大器输出。
V _{OUT}	2	AO	DAC 电压输出。
AGNDF	3	GND	模拟地（强制）。
AGNDS	4	GND	模拟地（检测）。
REFS	5	P	电压基准源输入（检测）。
REFF	6	P	电压基准源输入（强制）。
$\overline{\text{CS}}$	7	DI	串行数字片选输入，低电平有效。
SCLK	8	DI	串行数据时钟输入。
NC	9		无连接。
DIN	10	DI	串行数字信号。
$\overline{\text{LDAC}}$	11	DI	数字输入。当该引脚处于低电平状态时，DAC 寄存器与输入寄存器内容同时更新。
DGND	12	GND	数字地。
INV	13	AI	连接至 DAC 的内部调整电阻。双极性模式下，将该引脚连接至外部运算放大器反相输入端。
V _{DD}	14	P	供电电压输入。

¹ AI = 模拟输入，AO = 模拟输出，DI = 数字输入，DO = 数字输出，GND = 地，而 P = 电源。

工作原理

ZJC2542 为单通道 18 / 16 / 14 / 12 位，串行输入，电压输出 DAC。它们在 2.7 V 到 5.5 V 的单电源范围内工作，5 V 供电时通常消耗 120 μ A。数据通过 3 线或 4 线串行接口以 18 / 16 / 14 / 12 位字格式写入。为了确保已知的上电状态，这些部件都设计了上电复位功能。ZJC2542 上电后复位输出为 0 V 或中间电平。ZJC2542 包含了参考和模拟地的开尔文连接。

数模转换部分

DAC 架构由两个匹配的 DAC 部分组成。简化的电路图如图 22 所示。ZJC2542 的 DAC 结构是分段的。18 / 16 / 14 12 位数据字的四个 MSB 被解码驱动 15 个开关，从 E1 到 E15。每个开关连接 15 个匹配电阻之一的 AGND 或 VREF。数据字驱动器的低 14 / 12 / 10 / 8 位将对应位的电压模式 R-2R 阶梯网络的 S0 切换到 S11。

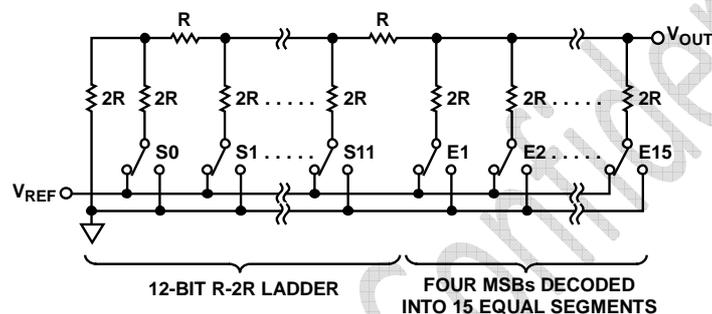


图 22 16 位 DAC 结构

使用这种类型的 DAC 配置，输出阻抗与代码无关，而基准看到的输入阻抗则依赖于代码。输出电压与参考电压有关，如下式所示：

$$V_{OUT} = \frac{V_{REF} \times D}{2^N}$$

其中：

D 是装入 DAC 寄存器的十进制数据字。

N 是 DAC 的分辨率。

对于 2.5 V 的参考，方程简化为：

$$V_{OUT} = \frac{2.5V \times D}{2^N}$$

这使得中间代码对应 VOUT 为 1.25 V，满代码对应 DAC 的 VOUT 为 2.5 V。

LSB 的大小为 $V_{REF} / 2^N$ 。

串行接口

ZJC2542 由一个通用的 3 线或 4 线串行接口控制，工作时钟频率高达 50MHz。时序如图 2 所示。在 \overline{CS} 由高到低转换之后，数据被同步转移并锁存到串行时钟(SCLK)上升沿的输入寄存器中。数据以 MSB 优先方式加载到 18 / 16 / 14 / 12 位字内。当所有数据位被加载到串行输入寄存器后， \overline{CS} 上的低到高转换将移位寄存器的内容传输到 DAC。

ZJC2542 具有 $\overline{\text{LDAC}}$ 功能，允许 DAC 锁存器在 $\overline{\text{CS}}$ 升高后通过将 $\overline{\text{LDAC}}$ 降低来异步更新。当数据写入移位寄存器时， $\overline{\text{LDAC}}$ 应该保持在高位。或者，可以将 $\overline{\text{LDAC}}$ 永久绑定为低电平，以同步更新 DAC。当 $\overline{\text{LDAC}}$ 固定为低电平时， $\overline{\text{CS}}$ 的上升沿将数据加载到 DAC。

单极性输出

ZJC2542 能够驱动 60 k Ω 的无缓冲负载。无缓冲工作使得工作电流低至 300 μA ，而且失调电压误差很小。ZJC2542 提供从 0V 到 V_{REF} 的单极性输出摆幅。ZJC2542 可以配置为输出单极性和双极性电压。图 23 显示了一个典型的单极输出电压电路。此操作模式的代码表如表 8 所示。

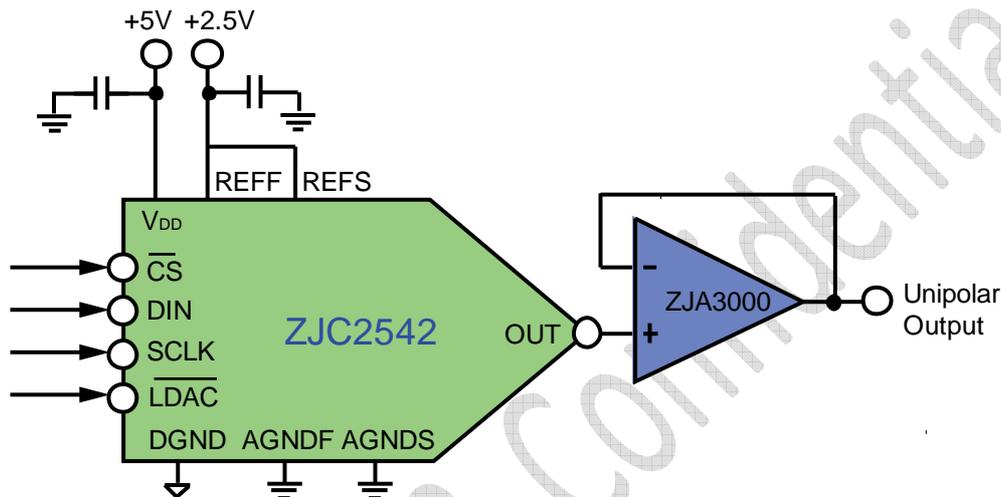


图 23. 单极性输出

表8. 16 位 DAC 数字码值和理想输出电压

DAC 锁存内容		模拟输出 $V_{\text{REF}} = 5 \text{ V}$
MSB	LSB	
1111 1111 1111 1111		$V_{\text{REF}} \times (65535/65536)$
1000 0000 0000 0000		$V_{\text{REF}} \times (32768/65536) = \frac{1}{2} V_{\text{REF}}$
0000 0000 0000 0001		$V_{\text{REF}} \times (1/65536)$
0000 0000 0000 0000		0V

单极性最坏情况下的输出电压可由下式求得：

$$V_{\text{OUT-UNI}} = \frac{D}{2^{16}} \times (V_{\text{REF-IDEAL}} - V_{\text{REF-ERROR}} + V_{\text{GE}}) + V_{\text{ZSE}} + \text{INL}$$

其中：

$V_{\text{OUT-UNI}}$ 为单极性模式输出。

D 为发送到 DAC 的码值。

$V_{\text{REF-IDEAL}}$ 为基准 (U3) 的理想电压。

$V_{\text{REF-ERROR}}$ 为基准 (U3) 的电压误差，单位为 V。

V_{GE} 为增益误差 (gain error)，单位为 V。

V_{ZSE} 为零点误差 (zero scale error)，单位为 V。

INL 为积分非线性误差 (zero scale error)，单位为 V。

双极性输出工作

配合外部运放，ZJC2542 可以配置为双极性电压输出。这种操作的典型电路如图 23 所示。内部匹配的电阻对 R_{FB} 和 R_{INV} ，连接到一个外部运放来实现双极输出，通常 $R_{FB} = R_{INV} = 28\text{ k}\Omega$ 。表 X 显示了这种输出操作模式的传递函数。

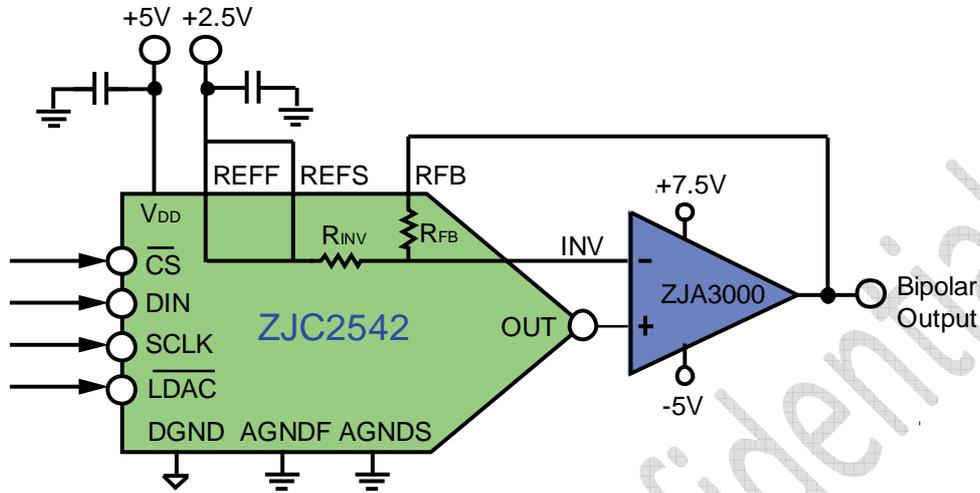


图 24. 双极性输出

表格 X 双极性码值电压对应关系

表9.16 位 DAC 数字码值和理想输出电压

DAC 锁存内容		模拟输出 $V_{REF} = 5\text{ V}$
MSB	LSB	
1111	1111 1111 1111	$+V_{REF} \times (32767/32768)$
1000	0000 0000 0001	$V_{REF} \times (1/32768)$
1000	0000 0000 0000	0V
0111	1111 1111 1111	$-V_{REF} \times (1/32768)$
0000	0000 0000 0000	$-V_{REF} \times (32768/32768) = -V_{REF}$

双极性输出电压可由下式求得:

$$V_{OUT-BIP} = \frac{[(V_{OUT-UNI} + V_{OS-A})(2+RD) - (V_{REF-IDEAL} - V_{REF-ERROR})(1+RD)]}{1 + \frac{(2+RD)}{A}}$$

其中:

$V_{OUT-BIP}$ 为双极性模式输出。

$V_{OUT-UNI}$ 为单极性模式输出。

$V_{REF-IDEAL}$ 为基准的理想电压。

$V_{REF-ERROR}$ 为基准的电压误差，单位为 V。

V_{OS} 为外部运放的输入失调电压。

RD 为 R_{FB} 和 R_{INV} 电阻的匹配误差。

A 为外部运放的开环增益。

输出放大器的选择

双极性模式，应使用精密放大器，并由双电源供电。这样可以提供 $\pm V_{REF}$ 输出。所选运放需要有一个非常低的失调电压(当使用 2.5 V 参考时，1LSB 为 38 μ V)，以消除输出偏置需要微调的需要。输入偏置电流也应该很低，因为偏置电流乘以 DAC 输出阻抗(大约 6 k Ω)会增加零代码误差。同时，运算放大器的响应不应妨碍 DAC 的建立时间。DAC 的输出阻抗是恒定的，并且与代码无关，但是为了最小化增益误差，输出放大器的输入阻抗应该尽可能高。放大器给系统增加了另一个时间常数，因此增加了总的输出建立时间。

治精微出品的精密（低失调电压：25 μ V）、低噪声（11 nV/ $\sqrt{\text{Hz}}$ ）、低输入偏置电流（2 pA）运算放大器 ZJA3000，是一个绝佳的选择。

开尔文连接驱动器的选择

使用单电源，低噪声放大器。在高频率低输出阻抗是首选，因为放大器需要能够处理动态电流高达 ± 20 mA。

基准源和地

ZJC2542 输入阻抗与代码相关，所以基准引脚应该从低阻抗源驱动。ZJC2542 工作时的参考电压范围为 1V ~ VDD。DAC 的满量程输出电压由基准电压决定。表 8 和表 9 概述了模拟输出电压对应的数字代码。ZJC2542 提供了参考和模拟地的开尔文连接，如果应用不需要单独的驱动和检测线，将两根线紧靠封装短接，以最小化封装引线和内部芯片之间的电压降。

上电复位

ZJC2542 带上电复位功能，以确保输出在上电时处于已知状态。在上电时，DAC 锁存寄存器为 0，直到数据从串行寄存器加载。但是，串行输入寄存器在上电时不会被清除，因此它的内容是未定义的。当将数据初始加载到 DAC 时，应该加载 16 位或更多位数的数据，以防止输出中出现错误数据。如果超过 16 位被加载，则保留最后 16 位；如果小于 16 位被加载，则保留前一次的有效数据。如果 ZJC2542 需要与小于 16 位的数据进行接口，则应在 LSB 的位上以 0 填充。

电源和基准去耦

为了精确的高分辨率性能，建议参考和电源引脚旁路使用 10 μ F 电容并联 0.1 μ F 电容。

控制器接口

微处理器或 FPGA 等控制器可以通过串行总线与 ZJC2542 接口。通信通道需要一个 3 线或 4 线接口，包括一个时钟信号、一个数据信号和一个片选信号。ZJC2542 需要一个 18 / 16 / 14 / 12 位的数据字，在 SCLK 上升沿上的数据有效。ZJC2542 电压输出可以在所有数据位都被锁定时自动完成，也可以在 $\overline{\text{LDAC}}$ 的控制下完成。

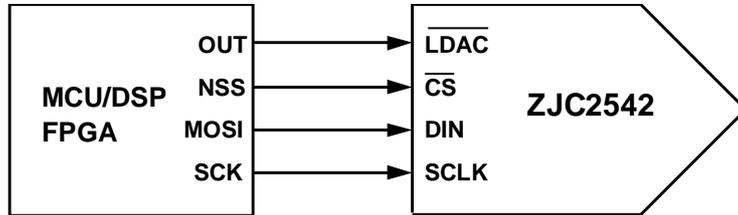


图 25. ZJC2542 与控制器接口的连接

封装外形尺寸

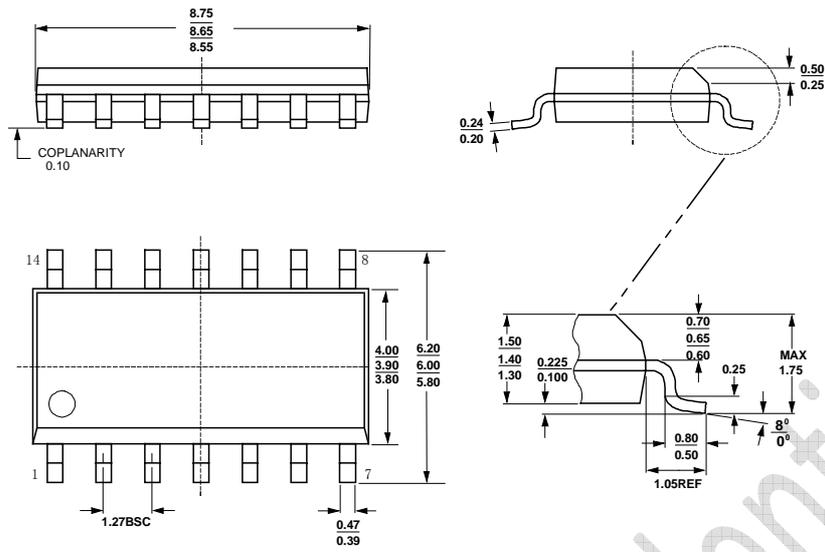


图 26 SOIC-14 封装尺寸图 (单位: 毫米)

Preliminary & Confidential

ZJC2542 Datasheet

相关器件

产品编号	描述	注释
ADCs		
ZJC2000	18 位 400kSPSP SAR ADC	差分输入, MSOP-10 及 DFN-10 封装
ZJC2001	16 位 500kSPSP SAR ADC	差分输入, MSOP-10 及 DFN-10 封装
ZJC2002/3	16 位 500kSPSP SAR ADC	单端输入, MSOP-10 及 DFN-10 封装
放大器		
ZJA3000-1/2/4	单路、双路及四路 36V 精密运放	3 MHz 带宽, 25 μ V 失调电压, 0.25 μ V/ $^{\circ}$ C
ZJA3620	精密仪表放大器	
精密基准源		
ZJR1000	15V 供电精密基准源	SOIC-8 及 MSOP-8 封装, 5 ppm/ $^{\circ}$ C 最大温漂
ZJR1001	5.5V 低功耗精密基准源	SOT23-6 封装, 5 ppm/ $^{\circ}$ C 最大温漂, 有滤波管脚
ZJR1002	5.5V 低功耗精密基准源	SOT23-6 封装, 5 ppm/ $^{\circ}$ C 最大温漂, 凯尔文输出
ZJR1003	5.5V 低功耗精密基准源	SOIC/MSOP-8 封装, 5 ppm/ $^{\circ}$ C 最大温漂